

Sisukord

1. Sissejuhatus	2
1.1. Projekti sihtobjekt	2
1.2. Projekti ülesande püstitus	2
2. Töö kirjeldus ja tulemuste analüüs	3
2.1. Digitaalsüsteemide uus universaalne diagnostikamudel	3
2.2. Testide sünteesi ja rikete diagnostika hierarhilised meetodid	7
2.3. Uue perspektiivse suuna avamine digitaalskeemide verifitseerimisel ja disainivigade diagnostikas	9
2.4. Testide sünteesi ja rikete diagnostika tarkvara	9
2.5. Digitaalelektronika disaini ja teadusuuringute eksperimentaalkeskkonna loomine	10
2.6. Publikatsioonid	11
2.7. Kokkuvõte Granti 1850 põhilistest teadustulemustest	11
2.8. Granti tulemuste tähtsusest Eestile	13
3. Projekti täitjate nimekiri	14
4. Aruanne projektile eraldatud raha kasutamise kohta	14
5. Trükis avaldatud publikatsioonide loend	16
6. Annotatsioon	19
Lisad:	
I. Väljatöötuste reklaamlehed	
II. Publikatsioonide koopiad	

1. SISSEJUHATUS

1.1. Projekti sihtobjekt

Ühiskonna sõltuvus elektroonikast ja arvutisüsteemidest on pidevalt kasvamas. Arvutite, telekommunikatsiooni, mehatroonika jms. rakendused omandavad üha suuremat tähtsust nii tööstuses kui ka keskkonnakaitses. Pea kõik inimtegevuse alad on elektroonikast sõltuvad, mis eriti tajutavaks saab, kui tehnika rikki läheb ja lakkab korralikult töötamast.

Testide genereerimine ja rikete diagnostika tänapäeva elektroonikasüsteemides on nende keerukusest tingituna äärmiselt kulukas ja aeganõudev. Paljudel juhtudel haaravad elektroonika testimiskulutused 70% ja rohkem kõigist tootmiskuludest kokku. Uute seadmete loomise puhul tähendab see hilistumist turule jõudmisel ja sellega seonduvaid täiendavaid kahjumeid. Üha kiiremini areneva elektroonika testimisprobleemide keerukuse kasvamisega sammu pidamiseks töötatakse pidevalt välja uusi meetodeid, algoritme, tehnikaid ja tarkvara, mis vihjab ka selle valdkonna äärmiselt suurele aktuaalsusele ja tähtsusele.

Eksisteerib suur hulk digitaalsüsteemide testide genereerimise, rikete simuleerimise ja diagnostika meetodeid, mis on välja töötatud spetsiaalselt süsteemide eri tasemetel jaoks, millisteks on käitumusliku (ehk C, C++, Java või VHDL keeltes esitatud kõrgtaseme), protseduurse (näiteks mikroprogrammeerimise), funktsionaalse (näiteks register-edastuse), loogika (ehk ventiilide) ja transistoride (ehk füüsiliste defektide) tasemel. Tänapäevaste digitaalsüsteemide keerukus eeldab hierarhilist lähenemist, mis tähendab süsteemide modelleerimise vajadust korraga paljudel tasemetel. Erinevate tasemetel meetodite kasutamise vajadus tähendab aga masinprojekteerimissüsteemide keerukuse, hinna ja ka kasutamise ebamugavuse kasvu.

Ühtse teooria puudumine eri tasemetel esitatud digitaalsüsteemide diagnostika ülesannete ja probleemide lahendamiseks (nii nagu näiteks eksisteerivad Boole'i algebra ja Boole'i differentsiaalarvutus loogikaventiilide taseme jaoks) muudab keeruliseks, kui mitte võimatuks, paljude diagnostika eriprobleemide defineerimise, uurimise kui ka lahendamise, mis on seotud näiteks testide sünteesi ja analüüsiga, rikete maskeerumisega, testide kvaliteedi ja keerukuse hindamisega. Ühtse teooria puudumine tähendab ka seda, et eri tööriistad (testide genereerimiseks, simuleerimiseks, testide kvaliteedi hindamiseks, testitavuse mõõtmiseks) nõuavad harilikult erilisi just sellele tööriistale vajalikke komponentide mudeleid funktsioonide, algoritmide, operaatorite või reeglite näol, mis harilikult on esitatud ka eri keeltes. See aga tähendab vajadust paljude mudeltekide järele, mis muudab praktilise töö digitaalsüsteemide diagnostika valdkonnas kalliks ja ebamugavaks.

1.2. Projekti ülesande püstitus

Traditsiooniliste meetodite ülalmainitud puuduste ületamiseks oli käesolevas projektis püstitatud ülesanne välja arendada uus lähenemisviis digitaalsüsteemide testi- ja diagnostikaprobleemide lahendamiseks, mis toetub süsteemide modelleerimisele spetsiaalset tüüpi graafide nn. otsustusdiagrammide (OD) abil. Otsustusdiagrammid on sobivaks matemaatiliseks baasiks ühtse rikete mudeli defineerimisel digitaalsüsteemidele ja laia spektri diagnostikaülesannete lahendamisel ühtsete standardiseeritud protseduuride abil (*horisontaalne universaalsus*). Teiselt poolt, OD-de kasutamine võimaldab välja arendada ühtset lähenemisviisi diagnostika-ülesannete lahendamisele süsteemide eri hierarhiatasemetel (*vertikaalne universaalsus*).

Esitatava projekti põhieesmärgiks

oli uurida ja väljatöötada ühtne teooria ning selle baasil uued efektiivsemad hierarhilised meetodid keerukate digitaalsüsteemide diagnostiliseks analüüsiks: rikete

modelleerimiseks, testide sünteesiks, testide kvaliteedi analüüsiks, testitavuse mõõtmiseks ja rikete diagnoosiks.

Projektis lahendatavateks ülesanneteks olid:

- uudse otsustusdiagrammide kasutamisel põhineva üldistatud rikkemudeli väljatöötamine digitaalsüsteemidele ning mudeli kasutamisevõimaluste uurimine asendamaks temaga traditsioonilisi spetsiifilisi ja kohmakaid *ad hoc* mudeleid;
- testide sünteesi ja rikete diagnoosi hierarhiliste meetodite uurimine ja väljatöötamine digitaalsüsteemi juhtosa ja operatsiooniosa jaoks, kasutades otsustusdiagrammide matemaatilist aparati ning uut rikete modelleerimise strateegiat;
- hierarhiliste digitaalsüsteemide automaatse testide sünteesi ja rikete diagnoosi tarkvara arendustöö ja eksperimentaalne uurimine.

Projektis väljatöötava lähenemisviisi uudsus ja originaalsus seisneb:

- otsustusdiagrammidel põhineva ühtse teoreetilise käsitluse esmakordses kasutuselevõtus digitaalse diagnostika valdkonnas,
- ja selle rakendamises keerukate digitaalsüsteemide diagnostikaülesannete hierarhilise lahendamise meetodite loomisel.

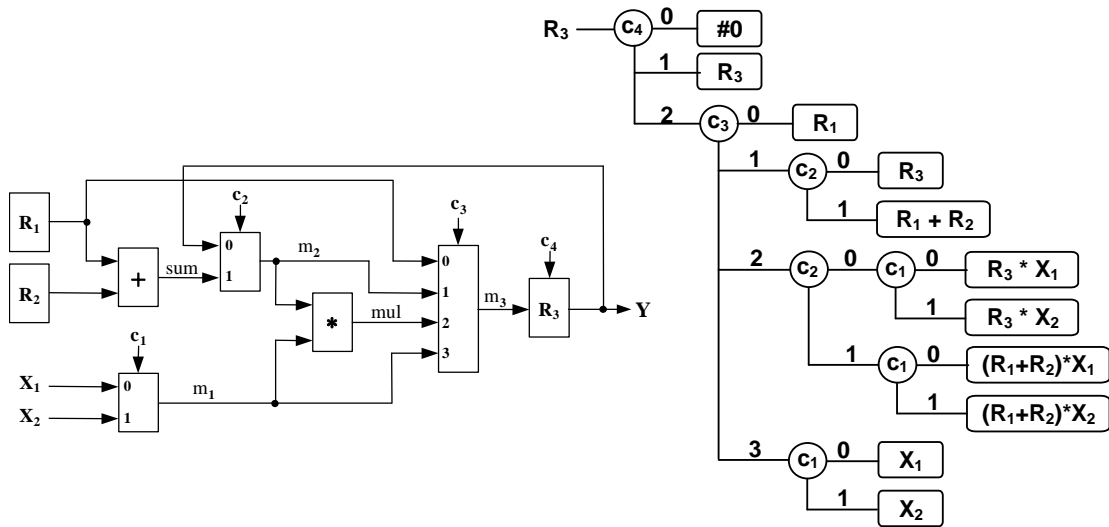
Traditsiooniliselt, on neid ülesandeid lahendatud paljude erinevate teoreetiliste mudelite ja matemaatiliste vahendite abil, nagu Boole'i algebra, Boole'i differentsiaalarvutus, lõplike automaatide olekutabelid, andmevoodiagrammid, binaarsete otsustuste diagrammid, register-edastus-taseme keeled, Petri võrgud jne. Selles mõttes võib öelda, et ühtne teooria hierarhiliste mitmel tasemel esitatavate digitaalsüsteemide diagnostikaülesannete lahendamiseks seni on puudunud, nii nagu see eksisteerib ühetasemeliste loogikaventiilide võrkude abil esitatavatele süsteemidele Boole'i algebra näol. Otsustusdiagrammide kasutamine annab lootusi sellise teooria loomiseks, mis võimaldaks formuleerida ja uurida uusi seni lahendamata diagnostikaprobleeme, nagu näiteks - kuidas vältida vigade maskeerumist, kuidas avastada kordseid rikkeid jne. keerukates hierarhilistes süsteemides. Neid probleeme on seni uuritud vaid loogikaventiilide tasandil.

2. TÖÖ KIRJELDUS JA TULEMUSTE ANALÜÜS

Projekti detailsemalt formuleeritud põhieesmärgiks oli uurida digitaalsüsteemide mudelit otsustusdiagrammide näol ja väljatöötada uued efektiivsemad hierarhilised meetodid selle mudeli baasil keerukate digitaalsüsteemide diagnostiliseks analüüsiks: rikete modelleerimiseks, testide sünteesiks, testide kvaliteedi analüüsiks, testitavuse mõõtmiseks ja rikete diagnoosiks.

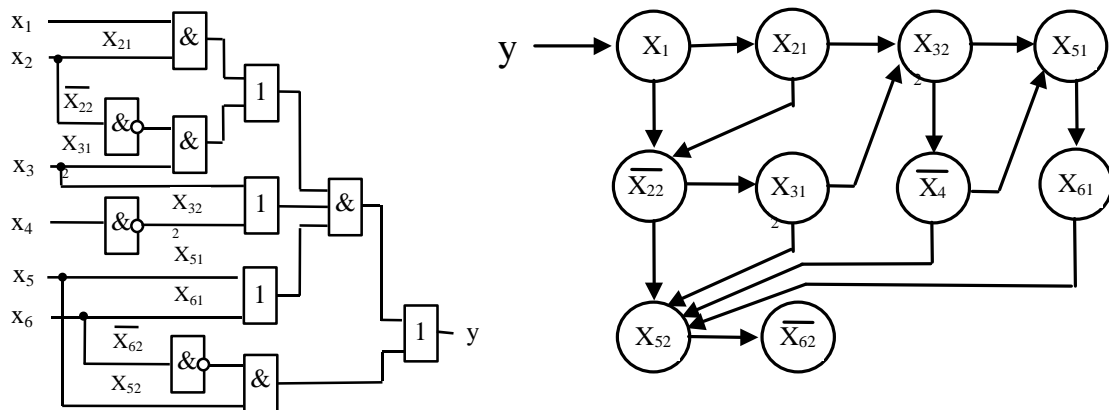
2.1. Digitaalsüsteemide uus universaalne diagnostikamudel

Töötati välja digitaalsüsteemide hierarhiline mudel otsustusdiagrammide võrgu näol, kus igale olulisele süsteemimuutujale vastab tema käitumist kirjeldav otsustusdiagramm [2,11,12,19,21,31,32]. Seejuures võib muutuja esitada nii registertaseme andmesõna (bittvektorit, arvu jne.) kui ka 1-bitilist loogikasignaali. Seni on arvutiteaduses levinud vaid otsustusdiagrammide kitsam klass – nn. binaarsed otsustusdiagrammid.



Joon. 1. Digitaalsüsteem ja tema otsustusdiagramm

Joonisel 1 on esitatud registritest, multiplekseritest ja aritmeetikaplokkidest koosnev digitaalsüsteem ning tema väljundregistri (väljundmuutujale) vastav kõrgtaseme otsustusdiagramm.



Joon. 2. Digitaalskeem ja tema struktuurne binaarotsustusdiagramm

Väljatöötatud digitaalsüsteemide diagnostika universaalmudel võimaldab esmakordselt ühendada endas nii süsteemi funktsioonide, struktuursete omaduste, rikete kui ka rikete aktiveerimistingimuste (transparentsuse) ilmutatud esitamist. Nii töötati välja meetod nn. struktuursete otsustusdiagrammide automaatseks sünteesiks etteantud digitaalskeemi (loogikaventiilide võrgu) jaoks. Taolistes struktuursetes otsustusdiagrammides on igal tipul kindel tähendus – ta esitab konkreetset signaaliteed antud skeemis. Näide loogikaelementide tasemel esitatud digitaalskeemi kujutamisest struktuurse binaarotsustusdiagrammina on toodud joonisel 2. Skeemis on 10 signaaliteed ja igale teele vastab graafis oma tipp.

Viidi läbi teoreetilised uuringud otsustusdiagrammidel põhineva ühtse rikkemudeli loomiseks digitaalskeemidele ja -süsteemidele. Uuringute tulemusena osutus võimalikuks üldistada senist rikete käsitlust, kus erinevatel süsteemi esitustasanditel kasutati erinevaid matemaatilisi mudeleid [2,6,10,24,39]. Õnnestus näidata, et otsustusdiagrammi tipu "rikke" mudeliga õnnestub katta kogu traditsiooniline digitaalsüsteemide rikete klass, mis haarab nii ventiiltaseme konstantrikke kui ka kõrgemate tasemete (register-edastustase, protseduurne tase, käsusüsteemi tase jne.) funktsionaalsed rikked.

Uue mudeli uudsus seisneb tema universaalsuses erinevate digitaalsüsteemi esitustasemete suhtes.

Uue mudeli eelised:

1. Loodud formalism võimaldas märgatavalt lihtsustada tarkvara loomist digitaalsüsteemide diagnostika automatiseerimise eesmärgil - traditsiooniliselt kasutatavate paljude spetsiaalotstarbeliste mudeltekide hulga asemel võib uut lähenemisviisi kasutades piirduda üheainsa universaalse teegiga.

2. Uue *struktuursete binaarotsustus-diagrammide* klassi defineerimine ja kasutuselevõtt ning rea huvitavate omaduste avastamine nende graafide juures võimaldas ka mitmete diagnostika-algoritmide efektiivsust märgatavalt tõsta, kuna üksikute ventiilide näol on võimalik nüüd formaalselt käsitleda tervet ventiilide gruppi - signaaliteed.

3. Uue mudeli eelised senituntud rikkemudelite kõrval seisnevad võimaluse loomises ühtse matemaatilise käsitluse andmiseks digitaalsüsteemide diagnostikaülesannetele erinevatel esitustasemetel - loogilisel ventiiltasemel, protseduurisel mikroprogrammide tasemel, funktsionaalsel register-edastustasemel ja käitumuslikul käsusüsteemi tasemel. Uut rikkemudelit võib käsitleda senise loogikaskeemide klassi konstantrikke mudeli üldistusena mitmetasemeliste digitaalsüsteemide klassile.

Alljärgnevalt on toodud mõningad näited projekti olulisemate tulemuste loeteluna, kus õnnestus saavutada senisest paremaid tulemusi algoritmide töös.

Tabel 1. Loogikataseme testide generaatori (Turbo-Tester) töönäitajad:

Circuit	Gates	PODEM		TURBO TESTER			
		Fault cover %	Time s	10 backtracks		1000 backtracks	
				Fault cover %	Time s	Fault cover %	Time s
c432	974	93,2	47,1	97,33	0.10	97,95	3.22
c880	1550	100,0	1,3	100,00	0.05	100,00	0.05
c1908	2788	99,8	20,9	99,75	0.22	99,82	1.41
c2670	4150	97,9	228,3	96,67	0.55	97,16	5.96
c3540	5568	97,9	301,2	95,58	0.77	95,87	13.48
c5315	8638	99,8	106,6	99,78	0.57	99,86	1.62
c6288	9728	100,0	89,8	99,80	0.60	99,80	2.90
c7552	11590	98,6	1312,4	99,46	2.71	99,59	28.27

Tabelis 1 esitatud eksperimentitulemused on saavutatud järgmistel arvutiplatvormidel:

- Turbo-Tester: 120 MHz Pentium PC,
- PODEM: NEC ACOS-1000 (15 MIPS).

a) Testide genereerimine kombinatsiooniskeemides [28,31,40].

Kasutades uut mudelit osutus võimalikuks saavutada klassikalise testide genereerimise algoritmi PODEM kiireim realisatsioon seniste realisatsioonidega võrreldes. Eksperimentide tulemused rahvusvaheliselt tunnustatud näidisskeemide (benchmarkide) serial ISCAS on toodud Tabelis 1.

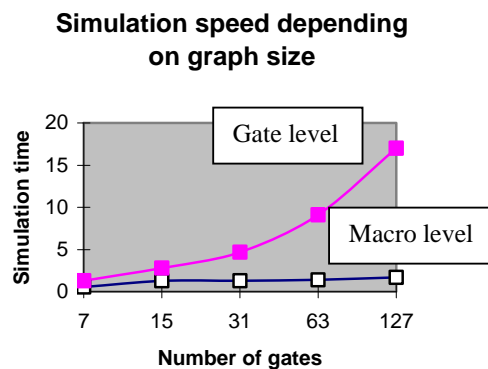
b) Mitmeväärtuseline simuleerimine digitaalskeemides [11,13,20,25]

Mitmeväärtuselist simuleerimist digitaalskeemides kasutatakse skeemi dünaamika uurimiseks, hazardite ja “võistluste” avastamiseks ning staatilistena sünteesitud testjadade dünaamika korrektsuse kontrolliks.

Tabel 2. Digitaalskeemide simulaatori (Turbo Tester) töönäitajad:

Benchmark circuit	c432	c499	c 880	c1355	c1908	c2670	c3540	c5315	c6288	c7552
Gate-level faults (G)	974	2194	1550	2194	2788	4150	5568	8638	9728	11590
Macro faults (M)	616	1202	994	1618	1732	2626	3296	5424	7744	7104
Fault ratio (G/M)	1,58	1,83	1,56	1,36	1,61	1,58	1,69	1,59	1,26	1,63
Time ratio (G/M)	2,37	3,04	2,22	1,73	2,62	2,39	3,29	2,54	1,62	2,63

Erinevalt tuntud lähenemisviisidest ei ole käesolevas projektis väljatöötatud meetodi puhul vaja uurida skeemi madalal ventiilide tasandil. Käsitledes uurimisobjektina ventiilide asemel ventiilide gruppe ehk makrosid (signaalide teesid) õnnestub vähendada mudeli keerukust ja tõsta simuleerimise efektiivsust. Simuleerimise idee põhineb uuel projekti raames väljatöötatud Boole'i differentsiaalide graafilisel arvutusmeetodil. Eksperimentid näitasid, et võrreldes traditsiooniliste meetoditega simuleerimise produktiivsus uue mudeli puhul suureneb eksponentsiaalselt (!) skeemi keerukuse kasvades. Eksperimentide tulemused on esitatud Tabelis 2 ja Joonisel 3. Tabelis 2 näitab rida *Fault ratio* mudeli keerukuste ning rida *Time ratio* simuleerimise aegade erinevust ventiil- ja makrotasemel. Graafik Joonisel 3 näitab eksperimentide tulemusi puukujulistel katseskeemidel, kus simuleerimise efektiivsus makrotasemel kasvab eksponentsiaalselt ventiiltasemega võrreldes skeemide keerukuse kasvades.



Joonis 3. Simuleerimiskiiruse sõltuvus esitustasemest ja skeemi keerukusest

c) Süsteemide testitavuse hindamine ja arvutamine [30]

Loodi efektiivne algoritm signaalide korrelatsiooni elimineerimiseks testitavuse arvutamisel tõenäosuslike kriteeriumide alusel. Saadud tulemuse mõjutusel on käivitunud

koostöö Linköpingi Ülikooliga Rootsis, mis on koordineeritud europrojektiga VILAB programmi COPERNICUS raames.

d) Digitaalsüsteemide veakindluse mõõtmine [10,15]

Kui traditsioonilised veakindluse analüüsi meetodid põhinevad enamasti stohhastilistel lähenemisviisidel, siis projekti raames väljatöötatud rikete deduktiivne analüüsimeetod võimaldas sisse tuua rikete deterministliku käsitluse, suurendamaks veakindluse stohhastiliste hindamise meetodite täpsust ja usaldatavust. Võrreldes kasutust leidvate VHDL simulaatoritega on autorite poolt loodud meetod kiirem. Uut meetodit on arendatud koostöös Torino Tehnikaülikooliga Itaalias.

2.2. Testide sünteesi ja rikete diagnostika hierarhilised meetodid

Töötati välja uued meetodid ja algoritmid, mis põhinesid uue graafilise rikkemudeli kasutamisel, testide automaatseks sünteesiks üldise digitaalsüsteemide klassi jaoks [2,3,8,12,18,22,23,33,42,43]. Meetodit arendati ja katsetati laialt levinud RISC-protssessorite struktuuride jaoks [6] ja lõplike automaatidena esitataval juhtimissüsteemide klassi jaoks [4,7,28,40]. Testide sünteesi pöördülesandena uuriti lõplike automaatide diagnoosi-probleemi ning esmakordselt töötati välja hierarhiline lähenemisviis rikete lokaliseerimiseks ühtse protseduurina sõltumata süsteemi esitustasandist [4].

Kasutades ära uue mudeli universaalsust ning mudeli eriomadusi, mis võimaldasid täpsemalt ennustada kombinatoorikavariantide perspektiivsust, õnnestus luua teadaolevatest lahendustest efektiivsem hierarhiline testide sünteesi meetod ja vastav rakendus – digitaalsüsteemide testprogrammide automaatne generaator DECIDER [16, 17,21,29,35,42,43].

Katsetulemused ja nende võrdlemine kahe maailma ühe tuntuima testide generaatoriga GATEST ja HITEC [33] demonstreerivad projektis välja töötatud generaatori äärmiselt suurt kiirust (Tabel 3), millele teatud kindla skeemide klassi juures maailmas konkurenti hetkel ei tea. Suur kiirus on saavutatud mõningase probleemi lihtsustamise tulemusena, mille tagajärjel teatud objektide puhul võib rikete kätte pisut ka langeda (vt. näiteks objektid *gcd* ja *diffeq*).

Tabel 3. Digitaalsüsteemide testide generaatori DECIDER töönäitajad.

	DECIDER		GATEST		HITEC	
	Fault cover, %	Time, s	Fault cover, %	Time, s	Fault cover, %	Time, s
<i>gcd</i>	91.0	3.4	92.2	89.8	89.3	195.6
<i>mult8x8</i>	79.4	13.6	77.3	1585	63.5	1793
<i>diffeq</i>	95.8	15.8	96.0	9,720	95.1	N. A.

Kõik eksperimendid, mille tulemused on esitatud Tabelis 3, on saavutatud ühel ja samal arvutiplatvormil SUN Ultrasparc 10 300 MHz.

Meetodi efektiivsuse tagas mitmete ideede uudne kombineerimine nagu

- "*top down*" ja "*bottom-up*" lähenemisviiside ühitamine hierarhilises ideoloogias [22],

- funktsionaalse ja struktuurse lähenemisviisi ühitamine [18],
- transpertsustingimuste vahetu esitamine mudelis [12],
- stohhastiliste ja deterministlike algoritmide kombineerimine erinevatel hierarhia tasanditel [23].

Uuringuid selles valdkonnas koordineeriti ka europrojektidega ATSEC, FUTEG, SYTIC ja VILAB, vastavalt programmide ESPRIT ja COPERNICUS raames.

Uut testide sünteesi ideoloogiat rakendatakse praegu koostöös Fraunhoferi Integraalskeemide Instituudiga Dresdenis bilateraalse Saksa-Eesti ühisprojekti raames.

Projekti käigus töötati välja mitmed uued meetodid, kombineerimaks uurimisgrupi seniseid eri süsteemitasemete jaoks eraldi saadud tulemusi ühtseks hierarhiliseks lähenemisviisiks testide sünteesil keerukate digitaalsüsteemide jaoks [2,3]. Loogikataseme testimise probleeme, kus arvestatakse kõrgtaseme poolt esitatavaid kitsendusi, on uuritud artiklis [31]. Töötati välja uus madalama taseme testigeneraator, mis kasutaks kõrgtasemel leitud ja lihtsustatud kitsendusi. Kõrgtaseme funktsionaalsete testide sünteesi uus meetodika ja algoritmid, kus kasutatakse madala ventiilide taseme generaatorit, on esitatud artiklis [35].

Tabel 4. Hierarhiline testide genereerimine RISC-protssessoritele, võrrelduna kommertsiaalse ventiiltaseme testigeneraatoriga SYNOPSISYS

IS	BW	ATPG	Time (s)	Patterns	Optim. patterns	Faults	Detected faults	Fault coverage (%)
4	4	HTPG	0,02	63	25	612	611	99,8
		Synopsys	0,21	30	25	596	595	99,8
4	8	HTPG	0,02	63	29	1168	1167	99,9
		Synopsys	0,49	45	33	1168	1167	99,9
4	16	HTPG	0,03	63	29	2240	2239	99,9
		Synopsys	1,16	63	36	2240	2239	99,9
4	32	HTPG	0,07	63	29	4404	4401	99,9
		Synopsys	3,74	77	45	4404	4401	99,9
8	4	HTPG	0,02	120	30	708	708	100
		Synopsys	0,19	45	25	708	708	100
8	8	HTPG	0,05	120	30	1320	1320	100
		Synopsys	0,50	52	31	1232	1232	100
8	16	HTPG	0,08	120	29	2540	2540	100
		Synopsys	1,25	61	41	2364	2364	100
8	32	HTPG	0,10	120	30	5018	5018	100
		Synopsys	4,26	75	50	4676	4676	100
16	4	HTPG	0,08	224	39	900	900	100
		Synopsys	0,29	46	32	855	855	100
16	8	HTPG	0,10	224	43	1612	1612	100
		Synopsys	0,75	64	42	1531	1531	100
16	16	HTPG	0,13	224	42	3016	3016	100
		Synopsys	1,86	73	48	2861	2861	100
16	32	HTPG	0,15	224	42	5908	5908	100
		Synopsys	5,57	84	59	5607	5607	100

Hierarhilisi testide genereerimise probleeme uurides on saadud märkimisväärsed tulemusi ka kitsamate digitaalsüsteemide klasside jaoks:

a) Lõplike automaatide hierarhiline testigeneraator

Lõpliku automaadina modelleeritav digitaalne juhtseade esitatakse kahetasemelise kirjeldusena nii mikroprogrammi kui ka kombinatsioonosa ventiilskeemi näol. Ventiiltaseme mudelit kasutatakse rikete aktiveerimisel, mikroprogrammi aga skeemi initsialiseerimiseks ja rikete sümptomite “transportimiseks” jälgitavate testpunktideni. Meetodi uudsus seisneb universaalse diagnostikamudeli kasutamises nii mikroprogrammi kui ka ventiilskeemi esitamisel, mis võimaldab kasutada samu algoritme mõlema taseme analüüsil. Uudne on ka idee, mis puudutab ventiiltaseme rikete maskeerumise efekti kõrvaldamist kõrgtaseme (mikroprogrammi) analüüsil [40].

b) RISC-protssessorite klassi hierarhiline testigeneraator

Projekteeriti testigeneraator spetsiaalse objektide klassi jaoks, milleks oli RISC tüüpi arvutiarhitektuur [6]. Uuriti testide genereerimise efektiivsust käituvusliku taseme ootsustusdiagrammide (OD) mudeli abil. Sisendkirjeldustena kasutati eelnevalt projekteeritud RISC-protssessorite perekonna käituvuslikke VHDL kirjeldusi. Generaator sünteesis kõrgtaseme OD-mudeli abil testvektorid, mille efektiivsust hinnati ventiiltaseme veasimulaatori abil. Eksperimendid näitasid, et ootsustusdiagrammide mudeli kasutamisel põhineva hierarhilise testide sünteesi ideoloogia on väga efektiivne (vt. Tabel 4).

2.3. Uue perspektiivse suuna avamine digitaalskeemide verifitseerimisel ja disainivigade diagnostikas

Teoreetiliselt õnnestus näidata et disainivigade diagnostika ülesannet on võimalik taandada konstantsete rikete diagnostika ülesandele, millest omakorda tuleneb võimalus kasutada klassikalist hästi läbitöötatud konstantrikete teooriat ning sellele teooriale põhinevat olemasolevat diagnostikatarvara [26,27,32,34,36,37].

Teiselt poolt loob saadud tulemus esmakordselt reaalse võimaluse praktikale väga olulise aga seni lahendamata mitmekordsete disainivigade diagnostikaprobleemi lahendamiseks.

Huvitavad ja perspektiivsed tulemused on saadud sama probleemi uurides ka palju üldisemal juhul, kus veamudelit üldse ei kasutata [41]. Veamudelist loobumine võimaldab hoopiski loobuda kitsendustest disainivigade tüüpidele ja vigade kordsusele.

Nimetatud probleemi uuriti koostöös ühe maailma mainekama laboratooriumiga selles valdkonnas - Grenoble'i Joseph Fourier' Ülikoolis, kus R. Ubar töötas 1998. aastal 4 kuud ja 1999. aastal 2 kuud külalisprofessorina.

Perspektiivse probleemi uurimise jätkamiseks on käivitatud uus ETF projekt: R.Ubar, “Disainivigade diagnostika digitaalskeemides ja –süsteemides” aastateks 2000-2003.

2.4. Testide sünteesi ja rikete diagnostika tarkvara väljatöötused

Käesoleva projekti raames on väljatöötatud järgmised tarkvarapaketid digitaalsüsteemide hierarhiliste diagnostikaülesannete lahendamiseks:

- hierarhiline testprogrammide generaator DECIDER [21,23,33,42];
- tarkvara TURBO-TESTER - digitaalskeemide diagnostikaks [5,11,30,31,38].

2.4.1. Hierarhiline testprogrammide generaator DECIDER.

DECIDER kujutab endast tarkvara digitaalsüsteemide testprogrammide hierarhilise sünteesi automatiseerimiseks. Generaator sünteesib ja lihtsustab kõrgtasemel defineeritavaid kitsendusi, kompileerib seejärel nende kitsenduste baasil testvektorid ning analüüsib ventiiltasemel viimaste kvaliteeti.

Esimeses faasis üritab kõrgtaseme generaator lahendada kitsendusi, mis on antud võrrandisüsteemidena. Süsteemi lahenduse eksisteerimisel ja selle leidmisel formuleeritakse kõrgtaseme kitsendused, mille baasil sünteesitakse filter ventiiltaseme mudeli täiendamiseks. Teises faasis sünteesitakse ventiiltaseme mudeli abil nn. lokaalsed testid, mis on vajalikud testitava mooduli ventiiltaseme rikete avastamiseks. Generaatori uudsuseks on lokaalsete testide genereerimisel kitsenduste filtri ideoloogia kasutamine. Uue meetodi efektiivsust demonstreerisid vastavad eksperimendid (vt. Tabel 3).

Oluliseks tulemuseks on diagnostikamudeli täiustamine funktsioonide ja transpertsustingimuste ühtseks esitamiseks mudelis. Uuendus võimaldas lihtsustada sünteesialgoritme ja suurendada nende produktiivsust. Generaatoris on originaalselt ühitatud deterministlik ja stohhastiline lähenemisviis.

Experimendid rahvusvaheliselt tunnustatud näidisskeemidel (*benchmarkidel*) on näidanud, et loodud generaator töötab kiiremini kui seni publitseeritud analoogilised generaatorid. Kommertstarkvara selles valdkonnas puudub. Koostöös Fraunhofer'i Integraalskeemide Instituudiga Dresdenis, Saksamaal on süsteem juurutamisel Saksamaa väikeettevõtetes. Koostöö süsteemi rakendusvõimaluste laiendamise eesmärgil toimub ka Linköpingi Ülikooliga ja firmadega ERICSSON Telecom AB ning DIGSIM DATA AB Rootsis.

2.4.2. Turbo-Tester - tarkvara digitaalskeemide diagnostikaks

Loodud programmide komplekt diagnostikaprobleemide lahendamiseks digitaalskeemides põhineb ühtsel teoorial, mis on arendatud välja binaarsete otsustusdiagrammide baasil. Teooria võimaldas üheainsa komponentmudelite teegi baasil luua terve komplekti tarkvaratööriistu, kus traditsiooniliselt on iga tööriist nõudnud individuaalset mudelteeki. Uus lähenemisviis tagas süsteemi avatuse, lihtsuse ja odavuse.

Tarkvara on edukalt kasutatud Helsingi Tehnikaülikooli (Soome), Chalmersi Tehnoloogiainstituudi (Rootsi) ja Michigani Ülikooli (USA) tudengite õpetamisel. Süsteemi kasutatakse Rootsis firma DIGSIM DATA AB poolt inseneride täiendõppes ja Linköpingi Ülikoolis. Käesoleval hetkel realiseerub europrojekt VILAB programmi COPERNICUS raames, mille eesmärgiks on levitada programmipaketti Turbo-Tester laiemalt Euroopa ülikoolides.

2.5. Digitaalelektronika disaini ja teadusuuringute eksperimentaalkeskonna loomine

Projekti teostanud uurimiskollektiivi teadusalane tegevus on saanud märkimisväärse rahvusvahelise tunnustuse, mille tõenduseks on osalemine viimase nelja aasta jooksul (Granti 1850 perioodi vältel) tervelt kuues europrojekti: EEMCN (1995-96), FUTEG (1995-97), ATSEC (1995-96), SYTIC (1997-99), VILAB (1998-01), EUROPRACTICE (1995-) programmide COPERNICUS ning ESPRIT raames. Nimetatud projektide

toetusel on kollektiivi initsiatiivil TTÜ arvutitehnika instituudi juures loodud tiptasemel tehnoloogiline keskkond teadusuuringuteks ja arendustööks, millega on vahetult seotud ka digitaalelektronika-alane õppetöö Tehnikaülikoolis.

Töölased sidemed firmadega CADENCE ja ERICSSON Telecom AB, kuuluvus assotsiatsiooni EURO PRACTICE ja töö europrojektide raames on võimaldanud kollektiivil sisustada praktiliselt Eesti Vabariigi poolsete kulutusteta Kesk- ja Ida-Euroopas ainulaadne tööjaamadel põhinev disainiklass, kus 15 töökohta on varustatud litsentsidega maailma juhtivate firmade CADENCE, SYNOPSIS, XILINX, ALTERA jt. disainitarkvarade kasutamiseks (kasutada olevate litsentside koguhinnaks kommertsturul on **60 miljonit EEK**). Klass võimaldab TTÜ tudengitel omandada Lääne-Euroopa inseneride tasemele vastavat haridust ja treenitust, aga samuti kujutab endast tehnilist baasi inseneritegevuse toetamiseks Eestis kaasaegse elektronika projekteerimisel.

2.6. Publikatsioonid

Projekti kate publikatsioonidega (ajavahemikus 1996-1999) uuritud probleemide lõikes on esitatud Tabelis 5 (publikatsioonide nimekiri on toodud aruande lõpus, ning koopiad olulisematest publikatsioonidest on toodud lisas).

Tabel 5. Granti 1850 uurimistemaatikad ja publikatsioonid

Uurimistematika	Publikatsioonid			
	1996	1997	1998	1999
Teoreetiline uurimistöö:				
Digitaalsüsteemide modelleerimine				
• Otsustusdiagrammid	2	11,12	19,21,31	32
• Üldistatud rikke mudel	2,6	10	24	39
Rikete simuleerimise meetodid				
• Mimeväärtuseline simuleerimine		11,13	20,25	
• Modelleerimine kõrgtasandil		14,15		40
• Testitavuse analüüs			30	
Testide genereerimine				
• digitaalsüsteemidele	2,3,8	12,16,17	18,22,23	33,35,42,43
• juhtseadmete	4,7		28,31	40
Testprogrammide optimeerimine			31	38
Veakindlate süsteemide analüüs		10,15		
Disainivigade diagnostika				
• Diagnostika veamudelite abil			26,27	32,34,36,37
• Diagnostika veamudeliteta				41
Arendustöö ja eksperimentaalne uurimistöö				
Testide generaator DECIDER		16,17	21,23,29	33,35,42,43
Diagnostikasüsteem TURBO-TESTER	1,5,8	11	30,31	38
Õppevahendite väljatöötamine	5		31	37,38
Ülevaatelised artiklid teadustööst	9			

2.7. Kokkuvõte Granti 1850 põhilistest teadustulemustest

1. Arendati välja uudne otsustusdiagrammide matemaatilisel aparaadil põhinev digitaalsüsteemide universaalne diagnostikamudel.

2. Töötati välja otsustusdiagrammidel põhinev üldistatud rikkemudel digitaalsüsteemidele ning uuriti selle kasutusvõimalusi asendamaks temaga traditsioonilisi spetsiifilisi ja kohmakaid *ad hoc* rikkemudeleid.
3. Uus digitaalsüsteemide diagnostikamudel võimaldab esmakordselt ühendada endas nii süsteemi funktsioonide, struktuuri, rikete kui ka rikete aktiveerimistingimuste (transparentsuse) ilmutatud esitamist.
4. Uue mudeli eelised senituntud rikkemudelite kõrval seisnevad võimaluse loomises ühtse matemaatilise käsitluse andmiseks digitaalsüsteemide diagnostikaülesannetele erinevatel esitustasemetel - loogilisel ventiiltasemel, protseduursel mikroprogrammide tasemel, funktsionaalsel register-edastustasemel ja käitumuslikul käsusüsteemi tasemel.
Uut rikkemudelit võib käsitleda senise loogikaskeemide klassi konstantrikke mudeli üldistusena mitmetasemeliste digitaalsüsteemide klassile.
5. Teoreetiliselt õnnestus näidata, et disainivigade diagnostika ülesannet on võimalik taandada konstantsete rikete diagnostika ülesandele, millest omakorda tuleneb võimalus kasutada klassikalist hästi läbitöötatud konstantrikete teooriat ning sellele teooriale põhinevat olemasolevat diagnostikatarkvara
6. Uuriti digitaalsüsteemide testide sünteesi ja rikete diagnoosi hierarhiliste meetodite väljatöötamise võimalusi, kasutades otsustusdiagrammide matemaatilist aparaati ning uut rikete modelleerimise strateegiat.
7. Kasutades ära uue mudeli universaalsust ning mudeli eriomadusi, mis võimaldasid täpsemalt ennustada kombinatoorikavariantide perspektiivsust, õnnestus välja töötada rida uusi senistest efektiivsemaid diagnostikameetodeid nagu:
 - hierarhilised testide genereerimise meetodid mitmetele digitaalsüsteemide eri klassidele;
 - rikete simuleerimine digitaalskeemides;
 - rikete diagnostika digitaalautomaatideskeemides;
 - testitavuse analüüs kombinatsioonskeemides;
 - veakindluse analüüs digitaalsüsteemides.
8. Uue struktuursete binaarotsustus-diagrammide klassi defineerimine ja kasutuselevõtt ning rea huvitavate omaduste avastamine nende graafide juures võimaldas märgatavalt mitmete diagnostika-algoritmide efektiivsust tõsta, kuna üksikute ventiilide asemel oli võimalik formaalselt käsitleda ventiilide grupe.
9. Otsustusdiagrammidele tuginev formalism digitaalsüsteemide modelleerimisel võimaldas märgatavalt lihtsustada tarkvara loomist digitaal-süsteemide diagnostika automatiseerimise eesmärgil - traditsiooniliselt kasutatavate paljude spetsiaalotstarbeliste mudeltekide hulga asemel võib uut lähenemisviisi kasutades piirduda üheainsa universaalse teegiga.
10. Projekti raames saadud teoreetilistele tulemustele tuginedes töötati välja digitaalsüsteemide testprogrammide automaatne generaator DECIDER, mis on esialgsetele eksperimentaalsetele katsetustele tuginedes konkreetse süsteemide klassi jaoks kiireim seni teadaolev tarkvarapakett.

Kommentstarkvara selles valdkonnas puudub. Koostöös Fraunhofer'i Integraalskeemide Instituudiga Dresdenis, Saksamaal on süsteem juurutamisel Saksamaa väikeettevõtetes.

11. Erinevalt analoogilistest tarkvaradest toetuvad TURBO-TESTR'I kõik tööriistad üheleainsale mudelite teegile, mis tagab süsteemi avatuse, lihtsuse ja odavuse.

Tarkvara on edukalt kasutatud Soome ja Rootsi ülikoolides, Michigani Ülikooli (USA) tudengite õpetamisel, firma DIGSIM DATA AB poolt inseneride täiendõppes Rootsis ja mujal Euroopas.

12. Projekti tulemused on avaldatud kokku 43 publikatsioonina aastatel 1996-1999 rahvusvahelistes eelretsenseeritavates väljaannetes.

Kokkuvõtlikult seisneb uurimuse üldine teaduslik tähtsus uue teoreetilise lähenemisviisi toomises tehniliste teaduste valdkonda, mida nimetatakse *tehniliseks diagnostikaks*.

Uus lähenemisviis teeb võimalikuks mitmete uute seni lahendamata ülesannete korrektse formuleerimise, uurimise ja lahendusteede leidmise. Niisuguste ülesannetena võib nimetada rikete maskeerumise vältimist, kordsete rikete avastamist jms. keerukates hierarhilistes digitaalsüsteemides. Samuti, nagu näitasid projekti raames läbi viidud eksperimendid, on uued hierarhilised meetodid palju efektiivsemad senistest traditsioonilistest madalal loogikatasemel töötavatest meetoditest.

2.8. Granti 1850 tulemuste tähtsusest Eestile

1. On antud märkimisväärne panus maailmateadusse, millest annavad tunnistust kollektiivi poolt avaldatud teaduspublikatsioonid mainekates ajakirjades ja kogumikes.
2. On saavutatud kõrge rahvusvaheline tunnustus diagnostika teooria arendamisel, mille tõenduseks on kollektiivi osalemine 4 aasta jooksul kuues europrojektis, rida bilateraalseid ühisprojekte Saksamaa, Prantsusmaa ja USA ülikoolide uurimisgruppidega, aga samuti regulaarsed kutsed Lääne-Euroopasse (Soome, Rootsi, Saksamaale, Itaaliasse, Prantsusmaale ja mujale) õppetöö ja ühisuuringute läbiviimiseks.
3. TTÜ arvutitehnika instituudi juures on loodud tipptasemel digitaalelektronika disaini ja teadusuuringute eksperimentaalkeskond (disaini ja testi keskus), mis on eelduseks kvaliteetse arendus- ning õppetöö läbiviimiseks.
TTÜ-le hangitud spetsiaaltarkvara litsentside koguhinnaks kommertsurul on ca **60 miljonit EEK**, milles Eesti riigieelarve kulud on olnud umbes 0,15% nimetatud summast.
4. On välja kujundatud tugev potentsiaal infotehnoloogia-alaseks riist- ja tarkvara arendus-töoks ning elektroonikadisaini õpetamiseks TTÜs, mille tunnistuseks on tipparkvara väljatöötatud diagnostika alal ning esimene Eestis projekteeritud ülisuur integraalskeem.

Kui pidada silmas projekti tulemuste üldist tähendust Eesti Vabariigile lähituleviku suhtes, tuleks mainida eeskätt kõrghariduslikku aspekti. Töögrupi kompetentsus on rahvusvaheliselt tunnustatud, millest räägib rida ettepanekuid ühinemiseks europrojektide meeskondadega ja uute ühisprojektide väljatöötamiseks. See peaks tegema reaalseks käesoleva projekti raames saadud uute teadustulemuste najal leida uusi finantsressursse Euroopast, aidates nii viisi kaasa juba rajatud kaasaegse keskkonna edasiarendamisele.

3. PROJEKTI TÄITJATE NIMEKIRI

Projekti vastutav täitja:

1. Raimund Ubar tehnikadoktor 1996-1999

Õppejõud:

2. Teet Evaratson tehnikakandidaat 1996-1999

Projekti teised täitjad:

Üliõpilased:

3. Jaan Raik tehnikamagister 1996-1999

4. Artur Jutman tehnikamagister 1998-1999

5. Marina Brik tehnikamagister 1996-1999

6. Härmo Tellas 1996

7. Eero Ivask tehnikamagister 1997-1999

8. Gert Jervan tehnikamagister 1996-1998

9. Antti Markus 1996-1998

10. Priidu Paomets tehnikamagister 1996-1997

11. Julia Dushina tehnikadoktor 1996-1998

Abipersonal:

12. Kaido Vainomaa 1996

13. Uno Kuuskor 1996

4. ARUANNE PROJEKTILE ERALDATUD RAHA KASUTAMISE KOHTA

4.1. Töötasud

Nr	Nimi	Kr.	Töötasu				Stipp 1999	Töötasu kokku	Stipp Kokku
			1996	1997	1998	1999			
<i>Projekti juhendaja:</i>									
1.	R.Ubar	Dr.	5170.-					5170.-	
<i>Üliõpilased:</i>									
2.	J.Raik	Mag	20500.-	22500.-	19300.-		19161.-	62300.-	19161.-
3.	A.Jutman	Mag			3000.-		3375.-	3000.-	3375.-
4.	M.Brik	Mag	8000.-			9000.-		17000.-	
5.	H.Tellas		1500.-					1500.-	
6.	E.Ivask	Mag		4953.-	13000.-			17953.-	
7.	G.Jervan	Mag	7500.-					7500.-	
8.	A.Markus		7500.-	23800.-	5000.-			36300.-	
<i>Abipersonal:</i>									
9.	K.Vainomaa		9500.-					9500.-	
10.	U.Kuuskor		1000.-					1000.-	
Kokku:			60670.-	51253.-	40300.-	9000.-	22536.-	161223.-	22536.-

4.2. Väliskomandeeringud

Nr.	Nimi	Konverents	Kulud
1996			
1.	R.Ubar	Pariis, IEEE European Design & Test Conf.	7112.00
2.	R.Ubar	Gliwice, European Dependable Computing Conf.	3896.10
3.	R.Ubar	USA, loengud Virginia Tehnikaülikoolis	7689.60
4.	R.Ubar	Lodz, Int. Conf. on Mixed Design MIXDES 96	4698.10
5.	R.Ubar	Montpellier, IEEE European Test Workshop	3959.20
6.	J.Raik	Dresden, UBISTA/FUTEG Workshop	13299.40
Kokku:			40654.00
1997			
7.	R.Ubar	Pariis, IEEE European Design & Test Conf.	17672.80
8.	R.Ubar	Rennes, European Conference on Networking	14380.30
9.	J.Raik	Dresden, Teadustöö Fraunhofer 'i instituudis	5052.00
10.	J.Raik	Iasi (Rumeenia), Int. Symposion on Signals	12015.23
11.	R.Ubar	Poznan, Int. Conf. on Mixed Design MIXDES 97	2226.85
Kokku:			51347.00
1998			
12.	R.Ubar	Szscyrk, 2 nd Int. Workshop on Design and Diagnostics	2607.19
13.	R.Ubar	USA, Orlando, World Multiconference on Systems	4293.92
14.	R.Ubar	Pariis, IEEE European Design & Test Conf.	7112.00
15.	J.Raik	Pariis, IEEE European Design & Test Conf.	7336.35
16.	R.Ubar	Brno, 5 th Electronic Devices and Systems Conference	1552.24
17.	J.Raik	USA, West Greenwich, 7 th IEEE Test Workshop,	20345.03
18.	E.Ivask	Hannoveri mess	3000.00
19.	J.Pöldre	Hannoveri mess	3000.00
20.	J.Raik	Lodz, Int. Conf. on Mixed Design MIXDES 98	2754.27
21.	E.Ivask	Dresden, Teadustöö Fraunhofer 'i instituudis	5000.00
22.	J.Raik	Dresden, Teadustöö Fraunhofer 'i instituudis	5000.00
Kokku:			62001.00
1999			
23.	J.Raik	Constanz, IEEE European Test Workshop	18371.00
24.	A.Jutman	Ilmenau, Teadustöö Ilmenau Tehnikaülikoolis	4659.00
25.	J.Raik	Bratislava, 2 nd Electronic Circuits and Systems Conf.	12082.00
26.	R.Ubar	Dresden, Teadustöö Fraunhofer 'i instituudis	6668.00
27.	E.Ivask	Dresden, Teadustöö Fraunhofer 'i instituudis	6144.00
28.	J.Raik	Dresden, Teadustöö Fraunhofer 'i instituudis	6144.00
Kokku:			54068.00

4.3. Raha kasutamine seadmete ostuks

Arvutitehnika instituudile osteti eksperimentaaluuringute toetamiseks 1999. a. tööjaam SUN Ultra 60 300 MHz (2 CPU) koguhinnaga 80 tuh. kr. Granti 1850 rahalisi vahendeid kasutati selleks 25 tuh. kr.

Kogu ostu kulutused jagunesid seejuures mitme finantsallika vahel järgmiselt:

- ETF grant 1850 – 25 tuh. kr
- ETF grant 3658 – 25 tuh. kr.
- Sihtfinantseeritav teema Reg. Nr. 0140244s98 – 30 tuh. kr.

4.4. Raha kasutamine kõigi kuluartiklite lõikes kokku

Kuluartiklid	1996	1997	1998	1999	Kokku
Töötasu	60670.-	51253.-	40300.-	9000.-	161223.-
Stipendiumid				22536.-	22536.-
Sots.maks + ravikindlustus	20032.-	16913.-	13299.-	2970.-	53214.-
Asutuse üldkululõiv	22500.-	30800.-	26400.-	22478.-	102178.-
Aparatuur				25000.-	25000.-
Majandamis- ja muud tegevuskulud	46798.-	55034.-	62001.-	55406.-	219239.-
s.h. välislahetused	40654.-	51347.-	62001.-	54068.-	208070.-
Kokku	150000.-	154000.-	142000.-	137390.-	583390.-

5. TRÜKIS AVALDATUD PUBLIKATSIOONIDE LOEND

1996

1. Low-Cost CAD Software for Teaching Digital Test (R.Ubar, P.Paomets, J.Raik). Proc. of the First European Workshop on Microelectronics Education. Villard de Lans, France, February 5-6, 1996, p.48.

2. Test Synthesis with Alternative Graphs (R.Ubar). IEEE Design and Test of Computers. Spring, 1996, pp. 48-59

3. Combining Symbolic Techniques with Topological Approach in Test Generation (R.Ubar). Proc. of the 3rd Workshop on Mixed Design of Integrated Circuits and Systems, Lodz, May 1996, pp. 377-382.

4. Multi-Level Test Generation and Fault Diagnosis for Finite State Machines (R.Ubar, M.Brik). Lecture Notes in Computer Science No 1150. Dependable Computing - EDCC-2. Springer-Verlag, 1996, pp.264-281.

5. Low-Cost CAD System for Teaching Digital Test (R.Ubar, P.Paomets, J.Raik). Microelectronics Education. World Scientific Publishing Co. Pte. Ltd. 1996, p.185-188.

6. Fault Model and Test Synthesis for RISC Processors (R.Ubar, A.Markus, G.Jervan, J.Raik). Baltic Electronics Conference. Proceedings. Tallinn, October 7-11, 1996, pp. 229-232.

7. Test Generation for Finite State Machines (R.Ubar, M.Brik). Baltic Electronics Conference. Proceedings. Tallinn, October 7-11, 1996, pp. 233-236.

8. A Constraint-Driven Gate Level Test Generation (J.Raik, R.Ubar, G.Jervan, H.Krupnova). Baltic Electronics Conference. Proceedings. Tallinn, October 7-11, 1996, pp. 237-240.

9. Electronics Competence Centre and Research in Digital Test at Technical University of Tallinn (R.Ubar). Invited paper. IEEE 14th NORCHIP Conference, Helsinki, November 4-5, 1996, pp.134-141. (Töö on tehtud ETF granti 2104 toetusel).

1997

10. A New Approach to Build a Low-Level Malicious Fault List Starting from High-Level Description and Alternative Graphs (A. Benso, P.Prinetto, M.Rebaudengo, M.Sonza, R.Ubar). Proc. IEEE European Design & Test Conference, Paris, March 17-20, 1997.

11. Multi-Valued Simulation with Binary Decision Diagrams (R.Ubar, J.Raik). Proc. IEEE European Test Workshop, Cagliari (Italy), May 28-30, 1997, pp.28-29.

12. Representing Transparency Conditions in Test Generation for VLSI by Decision Diagrams (R.Ubar). The 1st Electronic Circuits and Systems Conference. Bratislava, September 4-5, 1997.

13. Multi-Valued Simulation of Digital Circuits (R.Ubar). 21st International Conference on Microelectronics. Nis, Yugoslavia, September 14-17, 1997.

14. Behavioral Level Modeling of Digital Systems for Testing Purposes (R.Ubar). 42nd International Conference, Ilmenau (Germany), September 22-25, 1997.

15. Exploiting High-Level Descriptions for Circuits Fault Tolerance Assessments (A.Benso, P.Prinetto, M.Rebaudengo, M.Sonza Reorda, J.Raik, R.Ubar). 1997 IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems. Paris, October 20-22, 1997, pp. 212-216.

16. Assembling Low-Level Tests to High-Level Symbolic Test Frames (G. Jervan, A.Markus, J. Raik, R. Ubar). IEEE 15th NORCHIP Conference, Tallinn, November 10-11, 1997, pp. 275-280.

17. Mixed-Level Test Generator for Digital Systems (M.Brik, G.Jervan, A.Markus, P.Paomets, J.Raik, R.Ubar). Proceedings of the Estonian Acad. of Sci. Engng, 1997, Vol. 3, No 4, pp. 271-282.

1998

18. Combining Functional and Structural Approaches in Test Generation for Digital Systems (R.Ubar). Journal of Microelectronics and Reliability, Elsevier Science Ltd. No.1, pp.1-13, 1998.

19. Multi-Valued Simulation of Digital Circuits with Structurally Synthesized Binary Decision Diagrams (R.Ubar). Gordon and Breach Publishers, Multiple Valued Logic, Vol. pp. 1-17, 1998.

20. Dynamic Analysis of Digital Circuits with 5-valued Simulation (R. Ubar). In "Mixed Design of Integrated Circuits and Systems". Kluwer Academic Publishers, pp.187-192, 1998.

21. Hierarchical Test Generation with Multi-Level Decision Diagram Models (G.Jervan, A.Markus, J.Raik, R.Ubar). Proc. of the 7th IEEE North Atlantic Test Workshop, West Greenwich RI, USA, May 28-29, 1998, pp.26-33.

22. Mixed Bottom-Up/Top-Down Hierarchical Test Generation for Digital Systems (R.Ubar). Proc. of the 9th European Workshop on Dependable Computing, Gdansk (Poland), May 14-16, 1998, pp.37-40.

23. Mixed-Level Deterministic-Random Test Generation for Digital Systems (G.Jervan, A.Markus, J.Raik, R.Ubar). Proc. of the 5th International Conference on Mixed Design of Integrated Circuits and Systems. Lodz (Poland), June 18-20, 1998, pp. 335-340.

24. Hierarchical Test Generation for Digital Systems Based on Combining Bottom-Up and Top-Down Approaches (J.Raik, R.Ubar). World Multiconference on Systemics, Cybernetics and Informatics. Orlando, Florida, July 12-16, 1998, Vol.1, pp. 374-381.

25. Dynamic Analysis of Digital Circuits with Multi-Valued Simulation (R. Ubar). *Microelectronics Journal*, Elsevier Science Ltd., Vol. 29, No. 11, Nov. 1998, pp.821-826.

26. Localization of Single-Gate Design Errors in Combinational Circuits by Diagnostic Information about Stuck-at Faults (R.Ubar, D.Borrione). Proc. of the 2nd International Workshop on Design and Diagnostics of Electronic Circuits and Systems. Szczyrk, Poland, Sept. 2-4, 1998, pp.73-79.

27. Generation of Tests for the Localization of Single-Gate Design Errors in Combinational Circuits Using the Stuck-at Fault Model (R.Ubar, D.Borrione). Proc. of the 11th IEEE Brazilian Symposium on Integrated Circuit Design. Rio de Janeiro, Brazil, Sept. 30 – Oct. 3, 1998, pp.51-54

28. An Improved Test Generation Approach for Sequential Circuits using Decision Diagrams (M.Brik, R.Ubar). Proc. of the 6th Baltic Electronics Conference, Oct. 7-9, 1998, Tallinn, pp. 155-158.

29. A Decision Diagram Based Hierarchical Test Pattern Generator (G.Jervan, A.Markus, J.Raik, R.Ubar). Proc. of the 6th Baltic Electronics Conference, Oct. 7-9, 1998, Tallinn, pp. 159-162.

30. Calculation of Testability Measures on Structurally Synthesized Binary Decision Diagrams (R.Ubar, J.Heinlaid, J.Raik, L.Raun). Proc. of the 6th Baltic Electronics Conference, Oct. 7-9, 1998, Tallinn, pp. 179-182.

31. Test Generation with Structurally Synthesized BDD Models. Proceedings of the 5th Electronic Devices and Systems Conference, Brno, June 11-12, 1998, pp.66-68.

1999

32. Single Gate Design Error Diagnosis in Combinational Circuits (R.Ubar, D.Borrione). *Proceedings of the Estonian Acad. of Sci. Engng*, 1999, Vol. 5 , No 1, pp.3-21.

33. Sequential Circuit Test Generation Using Decision Diagram Models (J.Raik, R. Ubar). *IEEE Proc. of Design Automation and Test in Europe. Munich*, March 9-12, 1999, pp. 736-740.

34. Automatic Diagnosis of Simple Design Errors (R. Ubar, D. Borrione). *TIMA Annual Report 1998, Technical University of Grenoble*, May 1999, p.97-98.

35. High-Level Path Activation Technique to Speed Up Sequential Test Generation (J.Raik, R.Ubar). Compendium of Papers. *IEEE European Test Workshop*, Constance, May 25-28, 5p.

36. Hierarchical Design Error Diagnosis in Combinational Circuits by Stuck-at Fault Test Patterns (R.Ubar, A.Jutman). *Proc. of the 6th International Conference on Mixed Design of Integrated Circuits and Systems*. Krakow (Poland), June 17-19, 1999, pp. 437-442.

37. Design Error Localization in Digital Circuits by Stuck-at Fault Test Patterns. (R.Ubar, A.Jutman). *Proceedings of Int. Conf. on Microelectronics*, Nis, Yugoslavia, 1999, 6 p.

38. Fast and Efficient Static Compaction of Test Sequences Using Bipartite Graph Representations (A. Markus, J.Raik, R.Ubar). *Proc. of 2nd Electronic Circuits and Systems Conference*. Bratislava, September 6-8, 1999, pp.17-20.

39. Generation of Tests for the Localization of Single Gate Design Errors in Combinational Circuits Using the Stuck-at Fault Model (R.Ubar, D.Borrione). Research Report, TIMA, INPG, Grenoble, France, 1999, 12 p. (<http://www.tima.vds.imag.fr/Publications/PubliVDSLlong.html>).

40. Two-Level Simulation-Based Test Generation for Finite State Machines (M.Brik, R.Ubar). *IEEE 15th NORCHIP Conference*, Oslo, Nov. 8-9, 1999, pp. 211-216.

41. Design Error Diagnosis in Digital Circuits without Error Model (R.Ubar, D.Borrione). *Proc. of 10th IFIP Int. Conf. on VLSI'99. Kluwer Acad. Publishers*, Lisbon, Dec. 1-4, 1999, pp.281-292.

42. High-Level Path Activation Technique to Speed Up Sequential Circuit Test Generation (J.Raik, R.Ubar). *Proc. of IEEE European Test Workshop*, Constance, May 25-28, pp. 84-89.

43. Fast Test Pattern Generation for Sequential Circuits Using Decision Diagram Representations (J.Raik, R.Ubar). *Journal of Electronic Testing: Theory and Applications, Kluwer Academic Publishers*. (to be published), 8 pages.

Digitaalsüsteemide diagnostilise analüüsi hierarhiliste meetodite uurimine ja väljatöötamine

ETF Grant 1850
Grantihoidja: Raimund Ubar

Annotatsioon

Projektis läbi viidud uurimistöö tulemusena arendati välja uudne otsustusdiagrammide matemaatilisel aparaadil põhinev digitaalsüsteemide universaalne diagnostikamudel. Uus mudel võimaldab esmakordselt ühendada endas nii digitaalsüsteemi funktsioonide, struktuuri, rikete kui ka rikete aktiiviseerimistingimuste (transparentseuse) ilmutatud esitamist. Mudeli eelised senituntute kõrval seisnevad digitaalsüsteemide diagnostika ühtses matemaatilises käsitluses nii loogilisel, protseduurisel, funktsionaalsel kui ka käitumuslikul tasandil. Kasutades ära mudeli universaalsust ning eriomadusi, mis võimaldasid täpsemalt ennustada kombinatoorikavariantide perspektiivsust, õnnestus välja töötada rida uusi senistest efektiivsemaid meetodeid testide genereerimise, rikete simuleerimise ja diagnostika, testitavuse ning veakindluse analüüsi valdkondades. Uue struktuursete binaarotsustusdiagrammide klassi defineerimine ja kasutuselevõtt ning rea huvitavate omaduste avastamine nende graafide juures võimaldas märgatavalt mitmete diagnostika-algoritmide efektiivsust tõsta, kuna üksikute ventiilide asemel oli võimalik formaalselt käsitleda ventiilide gruppe.

Otsustusdiagrammidele tuginev formalism süsteemide modelleerimisel võimaldas lihtsustada tarkvara loomist diagnostika automatiseerimiseks. Töötati välja testprogrammide automaatne generaator DECIDER, mis on konkreetse süsteemide klassi jaoks kiireim seni teadaolev tarkvarapakett, ning diagnostikaprogrammide süsteem TURBO-TESTER, kus erinevalt analoogilistest tarkvaradest toetuvad kõik tööriistad üheleainsale mudelite teegile, mis tagab süsteemi avatuse, lihtsuse ja odavuse. Tarkvara on edukalt kasutatud ja kasutatakse Soome ja Rootsi ülikoolides, Michigani Ülikooli (USA) tudengite õpetamisel, firma DIGSIM DATA AB poolt inseneride täiendõppes Rootsis ja mujal Euroopas.

Projekti tulemused on avaldatud kokku 43 publikatsioonina aastatel 1996-1999 rahvusvahelistes eelretsenseeritavates väljaannetes.

Investigation and Development of Hierarchical Methods For Diagnostic Analysis of Digital Systems

**ETF Grant 1850
Grantholder: Raimund Ubar**

Abstract:

As the result of the research in this project a novel diagnostic model for digital systems based on decision diagrams was developed. The new model the first time affords a joint representation of functions, structural features, faults, and transparency properties for the fault propagation. The advantages of the model are in the uniform formal handling of digital systems on logical, procedural, functional as well as behavioral levels. Based on the universality of the model and on its different special properties, it became possible to develop several new efficient methods for test generation, fault simulation, fault localization, testability and fault tolerance estimation. The definition and usage of the class of structurally synthesized binary decision diagrams, as well as discovering several interesting properties of these diagrams afforded to increase significantly the efficiency of several diagnostic algorithms.

The formalism of decision diagrams in modeling of digital systems helped to simplify the development of software for automatization of test and diagnostics. A new automated test program generator DECIDER for digital systems was developed, which is the one of the fastest known analog in the field for a specific class of systems. A new toolbox TURBO-TESTER for solving different test synthesis and analysis tasks for digital circuits was developed, where differently from other similar software, all tools are based on a single universal model library to give the software the features like openness, simplicity and low-cost. TURBO-TESTER has been and is being used at universities in Finland and Sweden, in teaching the students of Michigan State University (USA), in continuous teaching of engineers in Sweden and elsewhere in Europe.

The results of the project are published in 43 papers during 1996-1999 in different journals and conference proceedings.

LISAD:

I. Väljatöötluste reklaamlehed

1. TURBO-TESTER
2. Hierarchical Test Generation for VLSI Circuits

II. Publikatsioonide koopiad

1. Test Synthesis with Alternative Graphs (R.Ubar). *IEEE Design and Test of Computers*. Spring, 1996, pp.48-59.
2. Low-Cost CAD System for Teaching Digital Test (R.Ubar, P.Paomets, J.Raik). *Microelectronics Education*. World Scientific Publishing Co. Pte. Ltd. 1996, p.185-188.
3. Low-Cost CAD System for Teaching Digital Test (R.Ubar, P.Paomets, J.Raik). *Microelectronics Education*. World Scientific Publishing Co. Pte. Ltd. 1996, p.185-188.
4. Electronics Competence Centre and Research in Digital Test at Technical University of Tallinn (R.Ubar). Invited paper. *IEEE 14th NORCHIP Conference*, Helsinki, November 4-5, 1996, pp.134-141.
5. A New Approach to Build a Low-Level Malicious Fault List Starting from High-Level Description and Alternative Graphs (A. Benso, P.Prinetto, M.Rebaudengo, M.Sonza, R.Ubar). *Proc. IEEE European Design & Test Conference*, Paris, March 17-20, 1997, pp.560-565.
6. Multi-Valued Simulation of Digital Circuits (R.Ubar). *21st International Conference on Microelectronics*. Nis, Yugoslavia, September 14-17, 1997, pp.721-724.
7. Exploiting High-Level Descriptions for Circuits Fault Tolerance Assessments (A.Benso, P.Prinetto, M.Rebaudengo, M.Sonza Reorda, J.Raik, R.Ubar). *1997 IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems*. Paris, October 20-22, 1997, pp. 212-216.
8. Dynamic Analysis of Digital Circuits with Multi-Valued Simulation (R. Ubar). *Microelectronics Journal, Elsevier Science Ltd.*, Vol. 29, No. 11, Nov. 1998, pp.821-826.
9. Combining Functional and Structural Approaches in Test Generation for Digital Systems (R.Ubar). *Journal of Microelectronics and Reliability, Elsevier Science Ltd*. Vol. 38:3, pp.317-329, 1998.
10. Generation of Tests for the Localization of Single-Gate Design Errors in Combinational Circuits Using the Stuck-at Fault Model (R.Ubar, D.Borrione). *Proc. of the 11th IEEE Brazilian Symposium on Integrated Circuit Design*. Rio de Janeiro, Brazil, Sept. 30 – Oct. 3, 1998, pp.51-54

11. Hierarchical Test Generation for Digital Systems Based on Combining Bottom-Up and Top-Down Approaches (J.Raik, R.Ubar). *World Multiconference on Systemics, Cybernetics and Informatics*. Orlando, Florida, July 12-16, 1998, Vol.1, pp. 374-381.
12. Cycle-based Simulation with Decision Diagrams (R.Ubar, A.Moraviec, J.Raik). *IEEE Proc. of Design Automation and Test in Europe*. Munich, March 9-12, 1999, pp.454-458.
13. Sequential Circuit Test Generation Using Decision Diagram Models (J.Raik, R. Ubar). *IEEE Proc. of Design Automation and Test in Europe*. Munich, March 9-12, 1999, pp. 736-740.
14. High-Level Path Activation Technique to Speed Up Sequential Circuit Test Generation (J.Raik, R.Ubar). *Proc. of IEEE European Test Workshop*, Constance, May 25-28, 1999, pp.84-89.
15. Hierarchical Design Error Diagnosis in Combinational Circuits by Stuck-at Fault Test Patterns (R.Ubar, A.Jutman). *Proc. of the 6th International Conference on Mixed Design of Integrated Circuits and Systems*. Krakow (Poland), June 17-19, 1999, pp. 437-442.
16. High-Level Test Synthesis with Hierarchical Test Generation (G.Jervan, P.Eles, Z.Peng, J.Raik, R.Ubar). *IEEE 17th NORCHIP Conference*, Oslo, Nov. 8-9, 1999, pp.291-296.
17. Fast and Efficient Static Compaction of Test Sequences Using Bipartite Graph Representations (A. Markus, J.Raik, R.Ubar). *Proc. of 2nd Electronic Circuits and Systems Conference*. Bratislava, September 6-8, 1999, pp. 17-20.
18. Two-Level Simulation-Based Test Generation for Finite State Machines (M.Brik, R.Ubar). *IEEE 17th NORCHIP Conference*, Oslo, Nov. 8-9, 1999, pp.211-216.
19. Teaching Dependability Issues in System Engineering at the Technical University of Tallinn (R.Ubar). *Global J. of Engineering Education*, Vol.2, No 2, 1998 UICEE, Printed in Australia, pp. 215-218.
20. Design Error Diagnosis in Digital Circuits without Error Model (R.Ubar, D.Borrione). 10th IFIP Int. Conf. on VLSI'99. Lisbon, Dec. 1-4, 1999, pp.281-292.