

# Grant 5649: Digitaalskeemide defekt-orienteeritud diagnostika Lõpparuanne

Projekti vastutav täitja: **R.Ubar**

Projekti kestus: 2003-2006

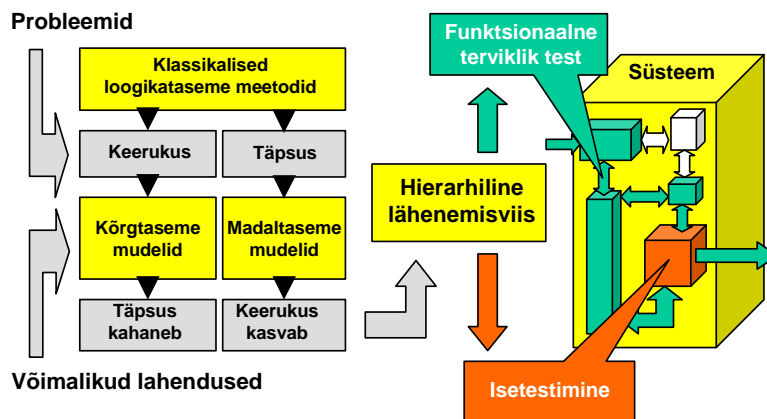
## 1. Projekti üldteoreetiline taust ja ülesande püstitus

### 1.1. Uurimistöö motivatsioonid

Uurimistöö oli suunatud digitaalelektronika skeemide ja süsteemide testimisele, seega lõppkokkuvõttes kvaliteedi parandamisele.

Integratsiooni kasv elektronikas põhjustab üha tõsisemaid probleeme toodete kvaliteedi tagamisel nii projekteerimise kui ka testimise aspektist. Ühelt poolt oleks vaja aina suuremat täpsust füüsiliste defektide käsitlemisel, teiselt poolt aga muutub täpsuse taotlemine üha raskemaks süsteemide keerukuse kasvu tõttu. On saanud selgeks, et kaasaegsete submikron-tehnoloogiate puhul keeruliste kiipsüsteemide vajalikku kvaliteeti pole enam võimalik saavutada seniste klassikaliste meetoditega.

Käesoleva uurimistöö põhimärksõnadeks on digitaalskeemid ja -süsteemid ning test. Testide efektiivsus (kvaliteet, sünteesi või analüüsi kiirus, testi pikkus, testi hind) on olulises sõltuvuses sellest, kuidas toimub digitaalsüsteemi diagnostiline modelleerimine. Traditsioonilised nn. "madala" ehk loogikatasandi mudelid keerukamate digitaalsüsteemide puhul on kaotanud oma praktilise tähtsuse. Seda nii diagnostikameetodite ebapiisava täpsuse kui ka objektide (digitaalskeemide ja süsteemide) üha kasvava keerukuse tõttu. "Kõrgemate" tasandite (funktsionaalsed ja käitumuslikud) mudelid on võitmas populaarsust nende kiirema testide sünteesi võimaluse tõttu, ehkki nende mudelite puhul sünteesitavate testide täpsus ja kvaliteet reeglina vähenevad.



Joonis 1. Uurimisprobleemid ja lahendushüpootees

Kompromisslahenduseks testide sünteesi kiirust ja kvaliteeti silmas pidades oleksid hierarhilised meetodid (vt. joonis 1). Hierarhiliste meetodite eelised seisnevad võimaluses ühtaegu "ületada keerukust" s.t. suurendada sünteesi ja analüüsi kiirust, lahendades rikete analüüsi probleeme efektiivsemalt kõrgemal tasandil, kui ka tõsta tulemuste täpsust, käsitledes defekte detailsemalt madalamatel tasanditel. Hierarhiliste meetodite arendustöö on aga algsajrgus vastavate üldistavate teooriate puudumise tõttu, mis käsitleksid ühtsete meetoditega nii kõrgtaseme kui ka madala taseme diagnostikat. Puuduvad ka meetodid reaalsel füüsilisel tasandil esitatavate defektide teisendamiseks loogikatasandile võimaldamaks neid käsitleda efektiivsemalt kõrgemate tasandite meetoditega.

### 1.2. Ülesande püstitus

Töö eesmärgiks oli töötada välja uusi meetodeid, algoritme ja tarkvaratööriistu defekt-orienteeritud testide genereerimiseks ja rikete simuleerimiseks. Sellest tulenevalt määratleti projekti ülesannete formuleerimisel põhilisteks uurimisobjektideks ühelt poolt füüsiliste defektide diagnostiline modelleerimine, nende kujutamata transistortasandilt loogikatasandile ning teiselt poolt hierarhiline defektide simuleerimine ja testide genereerimine keerukates digitaalsüsteemides. Konkreetsed projektiülesanded said grantitaotluses formuleeritud järgnevalt:

- töötada välja analüütiline meetod defektide analüüsiks komponentide tasandil
- töötada välja meetod füüsikaliste rikete modelleerimiseks loogika ja registersiirete tasanditel
- töötada välja uus hierarhiline meetod rikete deduktiivseks analüüsiks digitaalskeemides
- töötada välja meetod, algoritmid ja tarkvara hierarhiliseks defekt-orienteeritud rikete simuleerimiseks keerukates digitaalskeemides
- töötada välja meetod, algoritmid ja tarkvara hierarhiliseks defekt-orienteeritud testide genereerimiseks keerukates digitaalskeemides
- viia läbi eksperimentaaluuringud defekt-orienteeritud rikete simuleerimisel ja testide genereerimisel rahvusvaheliste katseskeemidega tõestamaks uute meetodite, algoritmide ja tarkvara efektiivsust võrreldes olemasolevate meetodite ja tarkvaraga.

Projekti väljundiks (konkreetseteks praktilisteks tulemusteks) on uued diagnostika-alased tööriistad, mis põhinevad uudsel defektide käsitlusel ning sellest tulenevatel uutel meetoditel ja algoritmidel.

## 2. Uued teadustulemused ja nende klassifitseerimine

Käesoleva uurimistöö üldisemaks eesmärgiks oli edasi arendada digitaalsüsteemide diagnostika teooriat, luua uut tüüpi matemaatilisi mudeleid, ning töötada uuendatud teoreetilise baasi alusel välja efektiivseid meetodeid, algoritme ja tarkvaratööriistu defekt-orienteeritud testide sünteesiks ja analüüsiks digitaalsüsteemides.

Konkreetselt eesmärgiks oli anda oma panus konfliktituatsiooni lahendamisele digitaalsüsteemide diagnostikas: leida viis, kuidas parandada testimise ja diagnostika kvaliteeti süsteemide üha kasvava keerukuse tingimustes. Traditsioonilised loogikataseme mudelid on kaotanud praktilise tähtsuse nii ebapiisava täpsuse kui ka keerukuse tõttu. Täpsuse suurendamine loogikataseme rikkemudeli asendamisega transistortaseme defektimudeliga tähendaks keerukuse veelgi suuremat kasvu. Teiselt poolt aga, loogikatasemel simuleerimise asendamine kõrgtaseme operaatoritega tähendaks jällegi rikete simuleerimise täpsuse langust.

Granti raames töötati välja digitaalsüsteemide hierarhilise diagnostika universaalkontseptsioon, mille aluseks sai uus rikete funktsionaalne mudel, mis sisuliselt tähendab meetodit diagnostilise info kujutamiseks ühelt abstraktselt hierarhiatasandilt kõrgemale naabertasandile. Alumisel tasandil defineeritakse rike struktuurselt, ülemisel – funktsionaalselt, teatava kitsendusega.

Väljatöötatud mudeli kitsamaks erijuhuks on projektülesandes formuleeritud defektide kujutamine transistortasandilt loogikatasandile ja sel moel realiseeritud defektide kõrgematel tasanditel modelleerimise võimalus.

Rikete ühtne definitsioon uue mudeli näol suvalise tasandi jaoks võimaldab rakendada universaalseid diagnostikameetodeid eri tasandite jaoks, mis teeb süsteemide diagnostika transparentseks ja kergemini automatiseeritavaks.

Uuritud probleemid ja projekti raames saavutatud uued teadustulemused võib jagada kolme gruppi:

- uued mudelid digitaalsüsteemide efektiivsemaks ja täpsemaks diagnostiliseks modelleerimiseks;
- uued rikete simuleerimise ja analüüsi meetodid testide kvaliteedi efektiivsemaks mõõtmiseks;
- uued meetodid efektiivsemaks testide genereerimiseks digitaalskeemidele ja süsteemidele.

## 3. Uued matemaatilised mudelid

Digitaalsüsteemide diagnostiliseks modelleerimiseks on vaja kolme mudelikontseptsiooni: funktsioonide, struktuuri ja rikete mudeleid. Harilikult vaadeldakse neid kolme aspekti eraldi, mis tähendab süsteemi esitamist paljude eri mudelite abil, mistõttu keerukate hierarhiliste süsteemide testide süntees ja analüüs muutuvad keerukaks ning kohmakaks. Ühtne teooria, taoline nagu Boole'i algebra loogikataseme skeemide jaoks, hierarhiliste mitmetasandiliste süsteemide diagnostika tarvis aga on puudunud.

Käesoleva töö põhiline teaduslik tähtsus seisneb kahe uue mudelikontseptsiooni väljatöötamises:

- digitaalsüsteemide diagnostiline modelleerimine mitmetasandiliste otsustusdiagrammide abil, mis võimaldab ühitada ühesainsas mudelis nii funktsioone, struktuuri kui ka rikete käsitlust;
- funktsionaalne rikkemudel füüsikaliste defektide matemaatiliseks kujutamiseks loogikatasandile ja selle mudeli üldistamine hierarhilise testimiskontseptsiooni formaliseerimiseks.

### 3.1. Diagnostiline modelleerimine otsustusdiagrammide abil

Klassikaliste Boole'i algebral põhinevate diagnostikameetodite puuduseks on see, et nad on kasutatavad üksnes digitaalsüsteemide abstraktse esituse loogikatasandil. Laiemaid võimalusi annab digitaalsüsteemide graafiline esitus otsustusdiagrammide (OD) kujul, kus kõik operatsioonid taanduvad graafi

(otsustusdiagrammi topoloogilisele analüüsile). Otsustusdiagrammide erijuhuks on binaarsed otsustusdiagrammid (BOD).

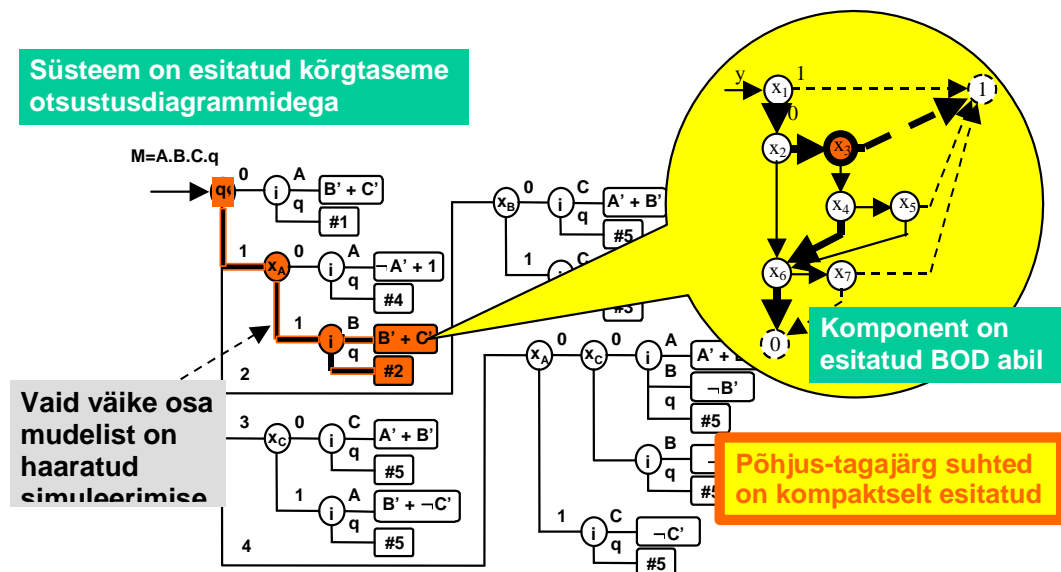
BOD töötlemiseks diagnostika aspektist on levinud kaks kontseptsiooni: BOD manipuleerimine ehk loogikaoperatsioonide läbiviimine ja graafidel läbiviidav topoloogiline analüüs. Esimesel juhul ei välju me loogika algebra raamidest ja graafidega opereerimise meetodite üldistamine digitaalsüsteemide kõrgematele tasanditele pole võimalik (see on traditsiooniline vaade BOD-mudelile). Teisel juhul, kus graafidega töö baasiks on topoloogiline analüüs, osutub meetodite üldistamine loogikatasandilt kõrgematele tasanditele aga võimalikuks (niisugune on käesoleva uurimuse käsitusviis).

Erinevalt tavalisest BOD-mudelist kehtib SSBOD-mudeli jaoks järgmine omadus: igale SSBOD tipule, mis kirjeldab mingis ventiiltasandil esitatud kombinatsiooniskeemis puukujulist alamskeemi, vastab üheselt mingi signaalitee selles alamskeemis.

Niisugune üksühene vastavus SSBOD tippude ja kombinatsiooniskeemi signaaliteede vahel on käesolevas uurimuses edasi arendatud võimaluseks (erinevalt BOD-mudelist) ühitada nii funktsioonide, struktuuri kui ka rikete modelleerimist [3,32,49]. Kõige tähtsam tulemus seisneb aga selles, et diagnostilise analüüsi meetodid, mis olid varem välja töötatud SSBOD mudeli baasil loogikatasandi jaoks, üldistati nüüd kõrgtasandi OD mudeli jaoks digitaalsüsteemide kõrgemaid esitustasandeid silmas pidades [5,51].

Mudeli potentsiaalsete võimaluste paremaks väljaselgitamiseks alustasime koostööd TÜ matemaatikutega (Tombak, Peder), mis osutus viljakaks ja mida on kavas jätkata. Nimetatud koostöös töötasime välja SSBOD formaalse definitsiooni [49] ning efektiivse SSBOD optimeerimise algoritmi, mis arvestab signaalide statistikat ja võimaldab tõsta simuleerimiskiirust [32]. Koostöös Tomski teoreetikutega täiustasime SSBOD-il põhinevat mudelit loogikaskeemide struktuuri esitamiseks makrotasemel ja töötasime välja meetodi SSBOD mudeli sünteesiks Boole'i funktsioonide ortogonaalsest disjunktiivsest normaalkujust [3].

OD teooria kasutamine on end õigustanud ühtse lähenemisviisi väljatöötamisel süsteemide diagnostiliseks modelleerimiseks eri hierarhiatasanditel. Keerukate süsteemide diagnostika on võimalik üksnes hierarhiliste meetodite abil, kus süsteeme tuleb modelleerida ühtaegu eri käsitlustasanditel. Traditsiooniliste mitmetasandiliste meetodite puuduseks on erinevate modelleerimiskeelte ja mudelite kasutamise vajadus, mis teeb keeruliseks ja kohmakaks teisendused eri tasandite vahel. Üldine OD mudel võimaldas välja töötada ühtsed meetodid süsteemide hierarhiliseks modelleerimiseks eri tasanditel diagnostika eesmärgil.



Joonis 2. Hierarhiline modelleerimine otsustusdiagrammide abil

Joonisel 2 on illustreeritud digitaalsüsteemi modelleerimine eri hierarhiatasanditel OD-mudeli ja SSBOD-mudelite abil. Vektorgraafi  $M = A.B.C.q$  abil modelleeritakse süsteemi, mis koosneb juhtautomaadist ja operatsioonautomaadist [10,11]. Juhtautomaati esitab olekumuutuja  $q$  ja andmeosa registermuutujad  $A, B$  ja  $C$ . Graafi abil on võimalik arvutada muutujate uusi väärtusi antud konkreetse takti (või tsükli) lõpuks [10,11]. Registertaseme komponentide (näiteks summaatori  $B + C$  ühe 1-bitise loogikakomponendi) kirjeldamiseks madalamal loogikatasemel kasutatakse SSBOD mudelit (antud juhul on esitatud Boole'i muutuja  $y$  graaf). OD mudeli kasutamise efekt seisneb selles, et reeglina simuleeritakse süsteemi käitumist vaid väikeses mudeli osas, mistõttu arvutamiskiirus on suurem, kui traditsiooniliste meetodite puhul. Näiteks joonisel 2 graafis  $M = A.B.C.q$  on konkreetset takti simuleerimisega haaratud vaid tipud  $q, x$ , ja  $j$  terminaaltippu  $B + C$  ja #2

(nimetame seda graafi aktiveeritud osaks). Diagnostilisi operatsioone silmas pidades on graafis ilmutatult esitatud põhjuse-tagajärje suhted. Kui näiteks on avastatud tehte viga antud taktil, siis vea põhjusi tuleb otsida muutujatest, mis asusid aktiveeritud graafi osas. Põhjus-tagajärg suhete ilmutatud esitus võimaldab tõsta diagnoosi kiirust. Nii tuleks antud näites, kui tulemus  $B+C$  on osutunud vigaseks, otsida rikke põhjuseid kõrgemal tasandil kas olekuregistrist  $q$ , tingimust esitavas liputrigeris  $x$  või liitmistehtes endas. Viimasel juhul tuleks jätkata rikke lokaliseerimist analüüsidest madalama tasandi graafi  $y$  põhjus-tagajärje signaalide suhteid.

### 3.2. Üldistatud funktsionaalne rikkemudel

Käesolevas uurimuses töötati välja uus digitaalsüsteemide rikete funktsionaalse modelleerimise kontseptsioon. Kontseptsiooni aluseks said idee ja meetod, mis võimaldasid kujutada reaalseid füüsilisi defekte digitaalskeemide transistorahelates kõrgemale loogikatasandile. Seejärel üldistati meetodit rikete kujutamiseks digitaalsüsteemi suvaliselt abstraktse esituse tasandilt kõrgemale naabertasandile.

Kontseptsiooni põhimomendiks on taandada senine globaalselt ja ühetasemeliselt käsitletud defektide ja rikete analüüsi ülesanne lokaalsete alamülesannete võrguks, võimaldades seejuures hõlpsat lokaallahenduste integreerimist [8, 44, 52,53].

Konkreetsemalt toetub uus rikete modelleerimise kontseptsioon järgmiste probleemide ahelale:

- füüsiliste defektide analüüs ja karakteriseerimine üksnes skeemikomponentides ehk makrodes (mitte aga, nagu tavaks on olnud, kogu skeemi ulatuses) [22, 24, 44],
- komponentide teegi moodustamine ning teegielementide kirjelduste täiendamine defektide analüüsil saadud infoga (defektide mudeliga) [17, 19],
- teisendusmehhanismi väljatöötamine defektide kujutamiseks füüsiliselt tasandilt loogika-tasandile nn. diagnostilise infona [8, 52, 53] ja
- selle mehhanismi kasutamine digitaalskeemide defekt-oriinteeritud rikete simuleerimisel ning testide genereerimisel kõrgematel abstraktsiooni-tasanditel [22, 25].

Nimetatud teisendusmehhanismi aluseks on uus funktsionaalse rikke mudel [44], mille sisu seisneb alumise taseme defekti teisendumises kõrgema taseme funktsionaalseks anomaaliaks. Suhteliselt keerukat ning aegavõtvat defektide analüüsi transistortasandil ja vastavat diagnostilise info genereerimist on vaja läbi viia üksainus kord iga komponendi jaoks, kogu edasine töö süsteemi simuleerimisel vastavat tüüpi komponendi puhul saab realiseeruda juba kõrgemal tasandil, mis tagab algoritmide kõrge produktiivsuse (analüüsi kiiruse) tänu simulatsioonimudelite väiksemale keerukusele ja läbiantalüüsitud defektide info kompaktsusele.

Nimetatud defekt-oriinteeritud lähenemisi viisi aluseks sai hüpotees, et enamus keerukama iseloomuga defekte (näiteks, lühised) leiab aset teegikomponentides, aga mitte nende vahelistes ühendustes [53]. Taoline hüpotees ei kehti aeguvate kahe metallkihiga CMOS tehnoloogiate puhul, kus marsruutimine (routing) toimub suure tihedusega ja rikete tõenäosused marsruutimisel on suured. Seega arendatav kontseptsioon poleks väga efektiivne aeguvate tehnoloogiate puhul. Küll aga osutub nimetatud eeldus realistlikuks kaasaegsete submikron-tehnoloogiate puhul, kus kahte metallkihti kasutatakse vaid komponentides, aga marsruutimine toimub suuremal arvul kihtidel. Nii muutub lühistüüpi defektide tõenäosus marsruutimisel tühiseks võrreldes tõenäosusega komponentides. Meetodi panus seisneb digitaalelektronika testimise kvaliteedi tõusus, aga ka protseduuride kiiruse kasvus. Pealegi on uus meetod suunatud homsetele tehnoloogiatele ja on seetõttu perspektiivne.

Kontseptsiooni matemaatiliseks aluseks sai defekte aktiveerivate signaali-vektorite arvutus Boole'i differentsiaalalgebra abil [10, 11, 44, 53]. Seni on seda meetodit kasutatud vaid konstantrikete analüüsil.

Olgu digitaalskeemi komponent  $C$  (teegi element) esitatud Boole'i funktsiooniga:  $y = f(x_1, x_2, \dots, x_n)$ . Võtame formaalselt kasutusele uue Boole'i muutuja  $d$  vaadeldava füüsilise defekti tähistamiseks antud komponendis. Olgu defektse komponendi funktsiooniks:  $y = f^d(x_1, x_2, \dots, x_n)$ . Meetodi võtmeideeks sai üldistatud funktsiooni konstrueerimine defekti  $d$  suhtes, mis sisaldab endas nii komponendi õiget kui ka defektset käitumist:

$$y^* = f^*(x_1, x_2, \dots, x_n, d) = \bar{d}f \vee df^d \quad (1)$$

Differentsiaalvõrrandi

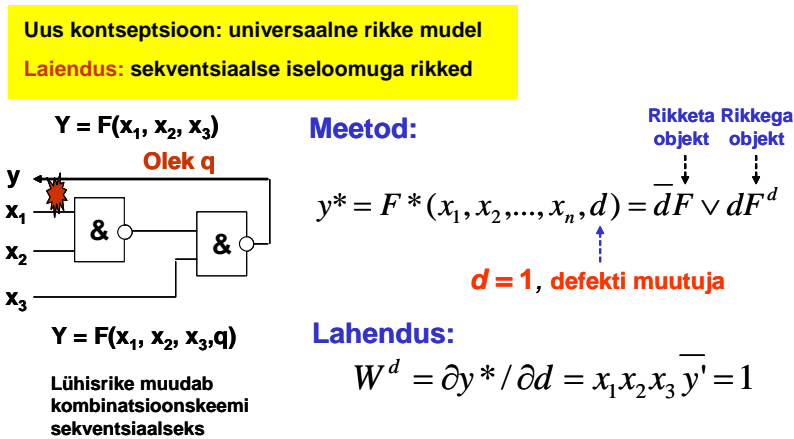
$$W^d = \frac{\partial y^*}{\partial d} = 1 \quad (2)$$

lahendid kirjeldavad nüüd tingimusi, millal defekt  $d$  on aktiveeritud, s.t. muudab funktsiooni  $y$  väärtust. Teisiti interpreteerides võime öelda, et tingimus  $W^d = 1$  võimaldab kujutada füüsilist defekti  $d$  kõrgemale loogikatasandile. Ehk teisiti, kitsendus  $W^d = 1$  määrab selle, kuidas tuleks füüsilist defekti  $d$  aktiveerida kõrgemal loogikatasandil nii et ta leviks oma asukohast vaadeldavasse punkti  $y$ .

Ülaltoodud käsitlus võimaldabki defineerida paari  $(W^d, y)$  füüsilise defekti  $d$  abstraktse funktsionaalse mudelina, mis on vaba igasugustest defekti füüsilise määrangu detailidest [10, 11, 53 (best paper award)].

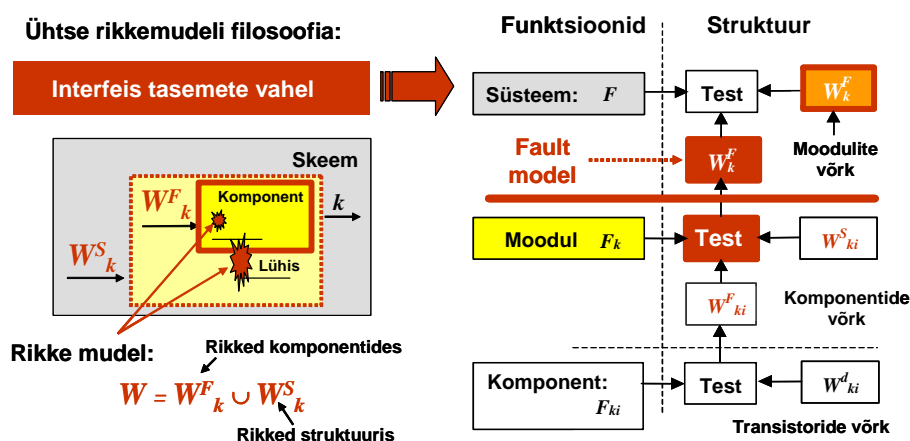
Uus kontseptsioon võimaldab üheaegselt taotleda kahte näilisel vastuolulist eesmärki: suurendada testide hindamise täpsust ja tõsta analüüsi kiirust võrreldes traditsiooniliste ühetasemeliste ventiilskeemide rikete simulaatoritega. Täpsus saavutatakse laskumisega ventiiltasandilt füüsilisele defektide tasandile, efektiivsus (simuleerimise kiiruse tõus) aga tõusmisega ventiiltasandilt kõrgemale register-siirete tasandile.

Boole'i diferentsiaalvõrrandi lahendamisel põhinev funktsionaalse rikke mudeli genereerimise meetod võimaldas näidata, et mudel laieneb ka üldjuhule (joonis 3) sekventsiaalse iseloomuga rikete käsitlemiseks [25,53]. Probleemi pole varem üldistatud kujul käsitletud. Boole'i diffalgebra kasutamine võimaldas formaliseerida probleemi üldkujul ja digitaalskeemide diagnostilisel modelleerimisel ignoreerida uute olekute lisandumist.



Joonis 3. Funktsionaalse rikkemudeli laiendus sekventsiaalse iseloomuga riketele

Saadud tulemus võimaldas esmakordselt formaliseerida testide genereerimist rikete jaoks, mis suurendavad olekute arvu süsteemis ehk muudavad kvalitatiivselt skeemi klassi (näiteks kombinatsioonskeemi mälu skeemiks). Edasine kontseptsiooni üldistus toimus vaadeldavate rikete hulga laiendamisel komponentide vahelisse kommunikatsiooniahelate võrku. Kogu rikete hulka esitame nüüd koosnevana kahest alamhulgast  $W = W^F \cup W^S$ , kus  $W^F$  - tähistab kõigi füüsiliste defektide hulka skeemi komponentides (nn. funktsionaalsete rikete hulk), mis on esitatud komponentide teegi vahendusel ja  $W^S$  - tähistab kõigi füüsiliste defektide hulka skeemi komponentide vahelises kommunikatsiooniahelate võrgus (nn. struktuursete rikete hulk), mis tuleb kindlaks teha integraalskeemi plaani (*layout*) eri analüüsi teel.



Joonis 4. Funktsionaalse rikkemudeli üldistused digitaalsüsteemidele

Joonise 4 vasakul poolel on näite abil illustreeritud komponendiga  $k$  seotud rikete hulk  $W = W_k^F \cup W_k^S$ , ja vastavate füüsiliste defektide (lühiste) asukohad digitaalskeemis (konkreetses komponendis ja tema lähikümbruse kommunikatsiooniahelate võrgus). Defektide avaldumiskohaks on komponendi väljund  $k$ .

Eelpool kirjeldatud kontseptsiooni väärtuslikuks “kõrvaltulemuseks” sai sama põhimõtte üldistamine suvalise kahe kõrvutise hierarhiatasandi jaoks, mis andis võimaluse luua universaalne alus hierarhiliste ülesannete lahendamiseks digitaalsüsteemide diagnostikas.

Joonise 4 paremal poolel on esitatud niisugune üldistus. Vaatleme süsteemi  $F$  tasandil ühte süsteemi komponenti - moodulit  $F_k$ . Mooduli  $F_k$  ehk alumise tasandi rikkemudelite  $W_{k,i}^F$  ja  $W_{k,i}^S$  abil genereeritakse moodulile test, mis esitab tingimused  $W_{k,i}^F$  selle mudeli testimiseks kõrgemal süsteemi  $F$  tasandil. Seega ühed ja samad andmed  $W_{k,i}^F$  saavad eri tähenduse süsteemi eri tasanditel – nad on komponendi  $F_k$  rikkemudeliks süsteemi tasandil ja sama komponendi testiks komponendi enda struktuuri tasandil.

Nimetatud kõrvaltulemus võimaldas luua formaalse aluse eelpool püstitatud hierarhilisele käsitlusele: otsustusdiagrammid tagavad ühtsete algoritmide kasutusvõimaluse eri tasanditel, aga funktsionaalse rikke mudel saab liikumismehhanismiks ühelt tasandilt teisele.

Uue kontseptsiooni põhimõtted on publitseeritud kahes monograafias kolme peatükina [21,44,45], esitatud konverentsi plenaarettekandena [51] ja avaldatud ka artiklites [8,22,24,25,50,53], millest artikkel [53] pälvis konverentsil “Best Paper Award” tunnustuse.

### 3.3. Uued teadustulemused diagnostikamudelite valdkonnas:

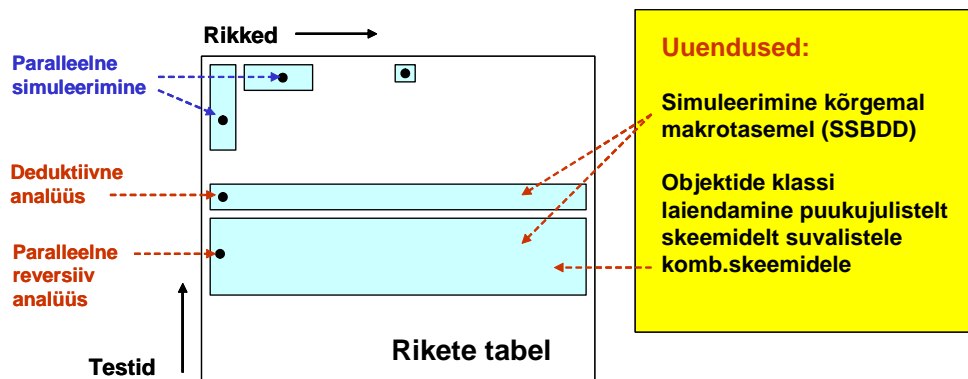
Kokkuvõtlikult võib uued tulemused digitaalsüsteemide defektide diagnostilise modelleerimise vallas rikete funktsionaalse s.h. defekt-orienteeritud käsitlusena loetleda järgnevalt.

- SSBOD mudeli üldistus OD-mudeli näol, mis võimaldas välja töötada ühtse rikete mudeli nii loogika, registersiirete kui ka käitumuslike abstraktsioonitasandite jaoks, mis võimaldas väja arendada ühtseid meetodeid nii rikete simuleerimiseks kui ka testide analüüsiks ja sünteesiks [10,11,14,37,50].
- Uus funktsionaalne rikete mudel füüsikaliste defektide kujutamiseks loogikatasandil ning Boole'i diferentsiaalvõrrandi lahendamisel põhinev mudeli genereerimise meetod [9,10,11,44,52].
- Nimetatud mudeli kasutamine klassikalise konstantrikete testide genereerimise meetodi laiendamiseks suvaliste füüsikaliste defektide arvesse võtmise eesmärgil [8,25,37].
- Boole'i diferentsiaalvõrrandi lahendamisel põhinev funktsionaalse rikke mudeli laiendamine ka sekventsiaalse iseloomuga rikete esitamiseks, mida seni pole testide generaatorites käsitletud. Nimetatud tulemus võimaldas esmakordselt formaliseerida testide genereerimist rikete jaoks, mis suurendavad olekute arvu süsteemis [25,44,53].
- Loogikatasandi rikete mudeli rakendamine digitaalskeemide disainivigade diagnoosimise täpsuse tõstmiseks [6].
- Funktsionaalse rikkemudeli kontseptsiooni “kõrvaltulemusena” üldistati seda suvalise kahe kõrvutise hierarhiatasandi jaoks, mis lõi universaalse formaliseeritud aluse hierarhiliste ülesannete lahendamiseks digitaalsüsteemide diagnostikas [5,10,11,44,50].
- Uuriti funktsionaalse rikke mudeli vahekorda kõrgtaseme rikete mudelitega ja formuleeriti vastavad seosed, milliste arvestamine võimaldab efektiivsemalt realiseerida testide analüüsi algoritme keerukates digitaalsüsteemides [10,11,37,44].
- Nimetatud “kõrvaltulemus” sisuliselt ühendab kahe probleemi käsitluse: otsustusdiagrammid tagavad ühtsete algoritmide kasutusvõimaluse eri tasanditel, aga funktsionaalse rikke mudel saab liikumismehhanismiks ühelt tasandilt teisele [10,11,44,53].

## 4. Uued meetodid rikete analüüsiks ja simuleerimiseks

### 4.1. Meetodid süsteemide simuleerimiseks loogika tasandil

Digitaalskeemide rikete simuleerimiseks on aegade jooksul välja töötatud väga palju erinevaid meetodeid, milliste efektiivsust võrreldakse selle järgi, kui palju diagnostilist informatsiooni on võimalik ekstraktsioneerida ühe simuleerimistsükli abil. Joonisel 5 on esitatud rikete tabel (maatriks), kus veerud vastavad riketele ja read testvektoritele. Tabeli elementideks  $(i,j)$  on väärtused 0 või 1, kusjuures 0 (1) tähendab seda, et veerule  $i$  vastavat riket ei avastata (avastatakse) reale  $j$  vastava testvektori poolt. Värvitud pindalad näitavad illustratiivselt kui palju elemente arvutab konkreetne simuleerimismeetod ühe simuleerimistsükli (ühekordse skeemi “läbimise”) tulemusena.



Joonis 5. Rikete simuleerimise meetodite võrdlus

Käesolevas uurimuses töötati välja kaks uut meetodit: rikete deduktiivse analüüsi meetod [4,39] ja rikete paralleelse reversiivanalüüsi meetod [18,55]. Mõlema meetodi esimene uudsus seisnes selles, et kasutati analüüsitava skeemi modelleerimiseks SSBOD mudelit, mis võimaldas tõusta traditsiooniliselt ventiiltasandil makrotasandile, kus makrole vastab mingi ventiilidest koosnev puukujuline alamskeem, ja millega kaasnes rikete simuleerimise kiiruse suurenemine.

Deduktiivse analüüsi meetod võimaldab ühe simuleerimistsükli tulemusena arvutada terve rea rikete tabelis, s.t. määrata analüüsitava testvektori korraga kõik selle poolt avastatavad rikked. Tabel 1 demonstreerib meetodi efektiivsust võrrelduna ventiiltasemel läbiviidava deduktiivse analüüsiga. Nii näiteks skeemi c3540 puhul õnnestus sel puhul tõsta kiirust ligi 3 korda (võrreldud on kahte viimast veergu tabelis 1) [2].

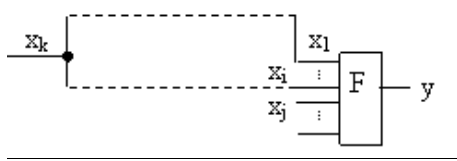
Tabel 1. Digitaalskeemide rikete simuleerimise meetodite võrdlus

| Katseskeem | Vektorite arv | Paralleelne reversiiv-analüüs |              | Deduktiivne rikete analüüs |       |
|------------|---------------|-------------------------------|--------------|----------------------------|-------|
|            |               | Gate                          | Macro        | Gate                       | Macro |
| c432       | 10000         | 0,618                         | <b>0,211</b> | 1,302                      | 0,811 |
| c499       | 10000         | 3,385                         | <b>0,561</b> | 4,567                      | 1,662 |
| c880       | 10000         | 1,612                         | <b>0,891</b> | 2,563                      | 1,382 |
| c1355      | 10000         | 2,573                         | <b>1,002</b> | 4,657                      | 2,754 |
| c1908      | 10000         | 5,107                         | <b>1,312</b> | 6,449                      | 2,774 |
| c2670      | 10000         | 10,835                        | <b>2,493</b> | 11,207                     | 4,888 |
| c3540      | 10000         | 19,087                        | <b>3,175</b> | 18,376                     | 6,750 |
| c5315      | 1000          | 4,165                         | <b>0,821</b> | 3,224                      | 1,392 |
| c6288      | 1000          | 4,226                         | <b>2,263</b> | 4,797                      | 3,134 |
| c7552      | 1000          | 8,041                         | <b>1,482</b> | 7,541                      | 2,283 |
| T1024      | 1000          | 0,841                         | <b>0,010</b> | 0,290                      | 0,191 |

Kui deduktiivse analüüsi ajal toimub rekursiivne skeemielementide (antud juhul makrode) töötlus skeemi sisenditest väljundite suunas, siis reversiivanalüüsi ajal toimub rekursiivne analüüs skeemi väljunditest sisendite suunas. Deduktiivne analüüs toimub rikete hulkade arvutamise teel, mis välistab mitme testvektori paralleelse analüüsi võimaluse, kusjuures reversiivanalüüs toimub Boole'i meetodite abil, mis võimaldab analüüsi läbi viia paralleelselt mitme testvektori jaoks korraga. Kahjuks seni on rikete paralleelse reversiivanalüüsi olnud võimalik üksnes puukujuliste skeemide klassi jaoks. Märkime veel sedagi, et kui deduktiivne analüüs on võimalik ka järjestikskeemidele, siis paralleelne reversiivanalüüs on olnud seni võimalik ainult kitsale puukujuliste kombinatsiooniskeemide klassile.

Käesolevas uurimuses laiendati paralleelse reversiivanalüüsi meetodi kasutamise võimalust suvalistele kombinatsiooniskeemidele. Kui rekursiivne reversiivanalüüs on äärmiselt lihtne piki signaaliteid, mis ei koodu, siis koonduvuspunkti rikete analüüsi osati seni läbi viia üksnes puhta simuleerimise abil. Käesolevas uurimuses töötasime välja meetodi Boole'i differentsiaalvõrrandi konstrueerimiseks koonduva hargregiooni analüüsiks (joonise 6 ülemine osa). Järgneva sammuna üldistasime meetodit üldjuhule paljude omavahel seotud koonduvate hargnemis-regioonide korral (joonise 6 alumine osa).

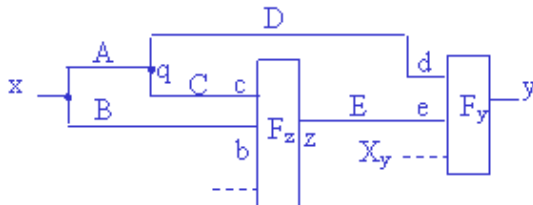
### Koonduva hargnemisregiooni modelleerimine Boole'i tuletistega:



$$\frac{\partial y}{\partial x_k} = y \oplus F((x_1 \oplus \frac{\partial x_1}{\partial x_k}), \dots, (x_i \oplus \frac{\partial x_i}{\partial x_k}), x_j, \dots, x_n)$$

**Boole'i tuletiste kasutamine võimaldab paralleelset rikete arvutust**

### Tervikliku skeemi modelleerimine rekursiivsete Boole'i tuletistega:



$$\frac{\partial y}{\partial x} = y \oplus F_y(d \oplus AD, e \oplus E \frac{\partial z}{\partial x}, X_y)$$

**Uuendus: skeemide klassi laiendamine**

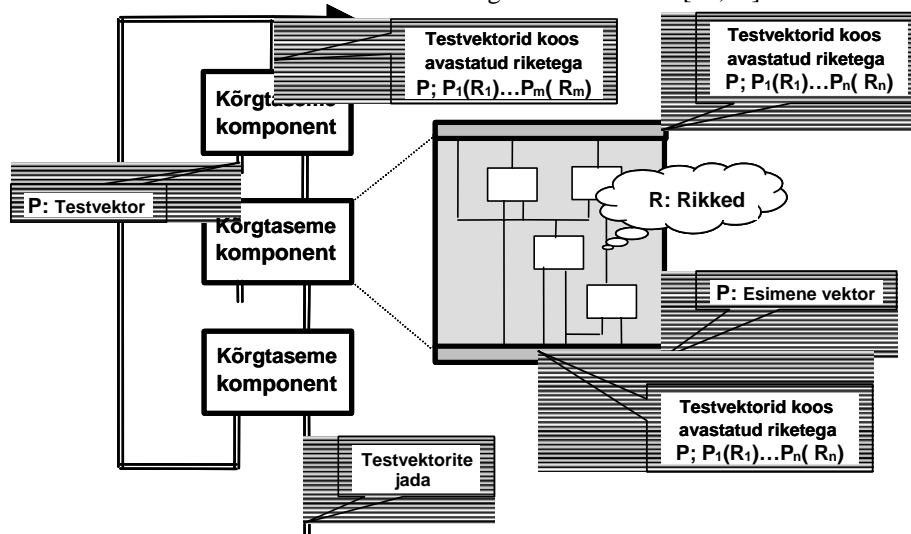
Joonis 6. Rikete reversiivanalüüsi meetod

Tulemuse olulisus seisneb selles, et mitmedimensionaalne hulgateoreetiline probleem on esmakordselt esitatud Boole'i võrrandina. Kuna diffvõrrandi parem pool kujutab endast Boole'i avaldist, pole paralleelanalüüsi läbiviimine enam probleem.

Eksperimentaalsetest katsetest järeldub, et uus meetod võimaldas simuleerimise kiirust tõsta kuni 4 korda (skeem c432 tabelis 1) võrreldes deduktiivse analüüsiga (isegi 19 korda 1024-st ventiilist koosneva puukujulise skeemi T1024 puhul) [18].

## 4.2. Hierarhiline digitaalsüsteemide rikete simuleerimine

Kõrgtaseme otsustusdiagrammidel töötavate simuleerimisalgoritmide ideed kasutades arendati välja uus kontseptsioon hierarhiliseks rikete simuleerimiseks digitaalsüsteemides [50,54].



Joonis 7. Rikete hierarhiline simuleerimine

Joonisel 7 on illustreeritud, kuidas hierarhiline simuleerimine toimub. Igal konkreetsel etapil analüüsitakse ühe välja valitud komponendi rikkeid. Väljavalitud komponent esitatakse madalal loogikatasandil ja rikete analüüs selles komponendis toimub samuti madalal tasandil. Madala taseme esitus garanteerib piisava täpsuse rikete käsitlemisel. Rikete levitamine läbi teiste komponentide toimub aga kõrgemal registersiirete tasandil, mis tõstab levitamise kiirust. Rikete levitamine toimub kuni selle punktini, kus veasignaali on võimalik avastada.

Rikete hierarhiliseks simuleerimiseks töötati välja vastavad algoritmid ja tarkvara. Nimetatud kontseptsiooni kuulub ka madala taseme (ventiiltaseme) rikete simulaator [4,18,55]. Uudne on selles simulaatoris SSBOD mudeli kasutamine, mis võimaldab (simuleerimise kiiruse suurendamiseks) tõusta ventiiltasandilt kõrgemale makrotasandile, kuid samas adekvaatselt kajastada makromudelisis simuleeritavaid ventiiltasandi vigu.



Arendati edasi teoreetilist baasi mitmetasemeliseks rikete simuleerimiseks keerulistes digitaalsüsteemides. Hierarhilise simulaatori jaoks töötati välja ühtsed analüüsi meetodid, mis põhinevad ühe ja sama OD mudeli kasutamisel nii kõrgemal registersiirete kui ka madalamal loogika tasandil [54]. Algoritmide implementeerimine toimus koostöös Kopenhageni Ülikooliga.

*Tabel 2. Hierarhilise rikete simulaatori võrdlus ventiiltasandi simulaatoriga*

| Fsm   | TL   | Cover % | HSIM   | GSIM   |
|-------|------|---------|--------|--------|
|       |      |         | Time,s | Time,s |
| bbsse | 300  | 74.1    | 0.01   | 0.38   |
| dk16  | 150  | 95.1    | 0.01   | 0.55   |
| ex2   | 600  | 25.9    | 0.01   | 1.21   |
| ex3   | 1000 | 46.2    | 0.01   | 0.77   |
| log   | 200  | 99.6    | 0.01   | 0.11   |
| s832  | 300  | 59.6    | 1.00   | 2.69   |
| s1488 | 400  | 63.48   | 2.00   | 9.17   |
| sand  | 400  | 84.2    | 1.00   | 3.18   |
| scf   | 700  | 34.5    | 33.0   | 39.32  |
| styr  | 500  | 74.1    | 2.00   | 6.81   |

Uue meetodi eksperimentaalse katsetuse tulemused on esitatud tabelis 2, kus võrreldakse hierarhilist simulaatorit HSIM ja ventiiltasandi simulaatorit GSIM. Uue simulaatori kiirus on ventiiltasandi simulaatorist kiirem ca 3-50 korda.

### 4.3. Uued tulemused rikete analüüsi valdkonnas

Digitaalskeemide ja -süsteemide rikete analüüsi ning simuleerimise valdkonnas saavutati projekti raames järgmised teadustulemused.

- Uus rikete deduktiivse analüüsi meetod digitaalskeemide testide kvaliteedi mõõtmiseks, kus erinevalt tuntud ventiiltasemel töötavatest meetoditest viiakse analüüs läbi makrotasandil, mis võimaldas simuleerimise kiirust tõsta kuni 3 korda [4,39];
- Uus rikete paralleelse reversiivanalüüsi meetod, mis esmakordselt võimaldas laiendada analüüsitavate skeemide klassi puukujulistelt skeemidelt suvalistele kombinatsiooniskeemidele [18,55].
- Uus hierarhiline digitaalsüsteemide defekt-orienteeritud rikete hierarhilise simuleerimise meetod, mis võimaldas tõsta simuleerimise kiirust ca 3-50 korda [50,54].
- Töötati välja disainivigade analüüsi ja diagnoosi meetod, mis erinevalt traditsioonilistest meetoditest ei vaja veamudeleid ja on seega invariantne defektide tüüpide suhtes [6].
- Tarkvaratööriistade välja töötamine rikete hierarhiliseks simuleerimiseks digitaalskeemides ning eksperimentide läbi viimine uute meetodite efektiivsuse kindlaks tegemiseks ja võrdlemiseks olemasolevate meetodite ja tööriistadega [4,50,54,55].

## 5. Uued meetodid testide genereerimiseks

### 5.1. Defekt-orienteeritud testide genereerimine

Defekt-orienteeritud testide genereerimise probleem sai uue motivatsiooni uurimistööde intensiivistamiseks deterministliku testigeneraatori loomisega käesoleva uurimuse tulemusena, milline maailmas praegu puudub.

Probleemid võib siin jaotada kahte klassi: teoreetilised (akadeemilised) ja praktilised. Praktiline probleem seisneb vajalike lähteandmete saamise raskuses (salastatus, tehnilised probleemid). See on ka üheks põhjuseks, miks selline generaator kommertsturul puudub. Samas kõik tunnustavad niisuguse generaatori suurt vajadust. Arvatavasti lahendab selle praktilise probleemi elu ise. Antud juhul me ise nimetatud "praktilise" küsimusega ei tegele, kasutame uuringupartnerite Varssavi Tehnikaülikooli teadlaste poolt sünteesitud andmeid. Põhilised teoreetilised probleemid, millega meie Tallinnas tegeleme, seisnevad järgmises:

- rikete klassi laiendamine võrreldes sellega, mida seni oleme uurinud ja mida traditsiooniliselt kasutatakse,
- testide generaatori efektiivsuse ja töökiiruse tõstmine, ning
- generaatori kasutamine isetestivate süsteemide kvaliteedi hindamiseks.

Töötasime välja originaalsele funktsionaalse rikke mudelile [52,53] põhineva testide genereerimise uue kontseptsiooni, algoritmid ja tarkvara DOT defekt-orienteeritud testide deterministlikuks genereerimiseks digitaalskeemidele [22,24,25]. Rikete mudel võimaldab esitada suvalisi (loogikafunktsioonide abil

kirjeldatavaid) füüsikalisi defekte ühtsel viisil nii komponentides kui ka komponentide vahelistel ühendustel. Rikete mudeli jaoks andmete väljatöötamine toimus koostöös poola teadlastega Varssavi Tehnikaülikoolist.

Uue generaatori DOT unikaalseks omaduseks on võime tõestada defektide liiasust, mis võimaldab testide poolt garanteeritavale rikete kattele (testide kvaliteedile) anda realistliku tähenduse. Niisugune testigeneraator on hetkel maailmas unikaalne. Ulatuslik eksperimentide seeria näitas, et defektide avastamise katet on võimalik tõsta uue testigeneraatori abil 75-86 protsendilt koguni 99-100 protsendini (!). Teiste sõnadega, kui võtta traditsioonilise testigeneraatori poolt genereeritud nn. 100%-lise konstantrikete kattega testid, siis defektikatte analüüs näitas, et need testid olid võimelised avastama vaid ca 75-86% ulatuses reaalseid defekte. Suur osa niisugustest defektidest on harilikult liiased, aga seni puudus meetod liiasuse tõestamiseks ja seega ka täpse defektide katte arvutamiseks. Uue generaatoriga õnnestub nüüd esmakordselt tõestada defektide liiasust ning arvutada täpselt testide kvaliteeti ehk defektide avastamise protsenti [25].

Eksperimentaaluuringute tulemused on esitatud tabelis 3. Uuriti testide generaatori kasutamist 6 rahvusvaheliselt tunnustatud näidisskeemi (benchmark circuits) peal, mille keerukuse andmed (vaadeldavate potentsiaalsete defektide arv) on esitatud veerus kaks. Meie generaator võimaldas tõestada, millised defektid on liiased skeemide funktsionaalsuse mõttes. Üldkatte veerus (5. veerg) on toodud hinnangud defektide reaalse katte suhtes nende testide jaoks, mille kohta oli teada, et nad garanteerivad 100% katte traditsiooniliselt vaadeldavate konstantrikete suhtes. Neid arve vaadeldes selgus, et traditsiooniliselt kasutatavad vahendid hindavad suuresti üle testide reaalsel kvaliteeti. Tänu loodud uuele tööriistale, mis võimaldas defektide liiasust tõestada (nii elementide sees kui ka süsteemi tasandil), õnnestus näidata, et testide kvaliteet tegelikult polegi nii halb (6. ja 7. veerg tabelis). Uue testide generaatoriga õnnestus lõpuks viia testide kvaliteet ka 100%-ni.

**Tabel 3. Defekt-orienteeritud testide generaatori DOT eksperimentaalne uurimine**

| Objekt | Defekte | Liiasid defekte    |                  | Testide kvaliteet |                              |                        |            |
|--------|---------|--------------------|------------------|-------------------|------------------------------|------------------------|------------|
|        |         | Elementide tasemel | Süsteemi tasemel | Klassikaline test |                              |                        | Uus meetod |
|        |         |                    |                  | Üldkatte          | Elementide liiasus tõestatud | Kogu liiasus tõestatud |            |
| C432   | 1519    | 226                | 0                | 78,6              | 99,05                        | 99,05                  | 100,00     |
| C880   | 3380    | 499                | 5                | 75,0              | 99,50                        | 99,66                  | 100,00     |
| C2670  | 6090    | 703                | 61               | 79,1              | 97,97                        | 99,44                  | 100,00     |
| C3540  | 7660    | 985                | 74               | 80,1              | 98,52                        | 99,76                  | 99,97      |
| C5315  | 14794   | 1546               | 260              | 82,4              | 97,53                        | 100,00                 | 100,00     |
| C6288  | 24433   | 4005               | 41               | 77,0              | 99,81                        | 100,00                 | 100,00     |

Uudseks tulemuseks oli ka uue mõiste ja kontseptsiooni väljaarendamine – “*layout for testability*” [24] analoogselt väga levinud mõistele “*design for testability*”. Lähtusime sellest, et osa sekventsiaalse iseloomuga füüsikalisi defekte on “raskesti testitavad” (puudub testigeneraator nende jaoks). Testimise kvaliteedi tõstmiseks saaks niisugusi “rasked” defekte generaatoriga DOT välja selekteerida ning vastavates skeemipunktides “raskete” defektide tõenäosuse väga madalale viimiseks integraalskeemi plaani (“*layout*”) korrigeerida. Teiste sõnadega, uue testigeneraatori nn. **kõrvalefektiks** on veel soovitude genereerimine skeemi töökindluse tõstmiseks [24].

## 5.2. Hierarhiline testide genereerimine

### Testitavuse parandamine digitaalsüsteemides

Viisime läbi uuringud digitaalsüsteemide testide sünteesi kiirendamise võimaluste leidmiseks süsteemide testitavuse parandamise abil. Uuringute tulemusena töötasime välja uue OD-mudelil põhineva meetodi testitavuse hindamiseks ja mõõtmiseks ning selle alusel halvemini testitavate testpunktide välja selekteerimiseks signaalide juhitavuse ja jälgitavuse parandamise eesmärgil nendes punktides.[2,38].

Meetodi originaalsus seisneb analüüsi läbiviimises kõrgtasemel (registriirete tasandil), erinevalt traditsioonilistest ventiiltasandi meetoditest. Meil õnnestus üldistada seniseid meetodeid kasutamiseks kõrgemal register-edastuse tasandil. Töötasime välja algoritmid testitavuse arvutamiseks, mis oleksid ühtsed nii loogika- kui ka register-tasandi jaoks. Tulemus osutus võimalikuks tänu kõrgtaseme otsustusdiagrammide mudeli kasutamisele. Uue meetodi rakendamisel õnnestus hakkama saada keerukuse probleemidega ja tõsta testide analüüsi kiirust [21,38,45].

Meetod võimaldab parandada süsteemi testitavust automatiseerides VHDL keeles esitatud registriirete tasandi kirjelduste modifitseerimist selekteeritud testpunktidega märgitud kohtades. VHDL kirjelduste automaatselt modifitseerimiseks töötasime välja täiendamiseks kasutatavate funktsioonide teegi [15,30].

Originaalseks lähenemisviisiks on ka iteratiivne algoritm, kus vaheldumisi töötavad testide generaator testitavuse analüüsiks ja seejärel testitavuse parandaja. Eksperimendid näitasid antud katseskeemide perekonna puhul, et vaid 3-st iteratsioonist maksimaalselt piisab probleemi lahendamiseks ja 100%-liste testide saamiseks [38].

#### Hierarhiline testigeneraator

Varasema uurimistöö tulemusena on meil välja töötatud hierarhilisel põhimõttel funktsioneeriv digitaalsüsteemide automaatne testide generaator. Testide automaatse sünteesi efektiivsuse tõstmiseks arendasime välja meetodi, mis aitab vähendada variantide otsimisruumi, kasutades seejuures testitavuse mõõtmise põhimõtet (vt. ülalkirjeldatud iteratiivne meetod). Ideed on seni rakendatud vaid loogikatasandil. Eksperimentaalsed uuringud näitasid, et testide genereerimise efektiivsus sõltub oluliselt testitavuse mõõtude kasutamisest [2,38].

Uus testide generaator võimaldab genereerida testvektoreid nii loogika tasandil kui ka kõrgemal registreeritud tasandil. Testide generaator on integreeritav tänapäeva tähtsaimatesse disainikeskkondadesse SYNOPSIS, CADENCE, MENTOR GRAPHICS jt., mida kasutatakse kommertsturul.

Testide generaatori efektiivsuse tõstmiseks töötati välja kolm uut rikete käsitlemise mehhanismi multiplekserite [14] ning IF-opeatorite jaoks [48]. Uued geneetilistel algoritmidel põhinevad meetodid võimaldasid tõsta variantide läbivaatamise kiirust [23,37] ja uus funktsionaalne juhtautomaatide testide genereerimise algoritm võimaldas üle saada defektide analüüsi keerukusest [16].

Eksperimendid näitasid testide genereerimise kiiruse ja kvaliteedi märgatavat tõusu olemasolevate testigeneraatoritega võrreldes.

#### Eksperimentaalsed tulemused

Tabelis 4 on toodud võrdlus nelja erineva testigeneraatori vahel ja esitatud andmed nende kasutamise kohta testide genereerimisel kuue erineva katsesüsteemi jaoks. Võrreldud on rahvusvahelise tunnustuse leidnud testigeneraatoreid HITEC, GATEST, meie eelmise generaatori versiooni DECIDER ja uut versiooni (käesoleva uurimuse rakenduslikku tulemust). HITEC on deterministlik loogikatasandi testigeneraator, GATEST on stohhastiline geneetilistel algoritmidel põhinev testigeneraator, kusjuures DECIDER ja uus lahendus on mõlemad deterministlik/stohhastilised ja põhinevad hierarhilisel lähenemisviisil. Võrreldud on rikete katet (FC) ehk testide kvaliteeti ja testide genereerimiseks kulunud aega sekundites.

**Tabel 4. Digitaalsüsteemide testigeneraatorite võrdlus**

| Skeem          | Rikkeid | HITEC   |        | GATEST      |        | DECIDER      |        | Uus meetod   |        |
|----------------|---------|---------|--------|-------------|--------|--------------|--------|--------------|--------|
|                |         | F.C., % | Aeg, s | F.C., %     | Aeg, s | F.C., %      | Aeg, s | F.C., %      | Aeg, s |
| Gcd            | 454     | 81.1    | 169.5  | <b>91.0</b> | 75     | 89.9         | 13.5   | 89.9         | 129.8  |
| sosq           | 1938    | 77.3    | 728.4  | 79.9        | 739    | 80.0         | 79.3   | <b>80.1</b>  | 129.6  |
| mult8x8        | 2036    | 65.9    | 1243   | 69.2        | 821.6  | 74.1         | 50.2   | <b>74.7</b>  | 93.7   |
| ellipf         | 5388    | 87.9    | 2090   | 94.7        | 6229   | <b>95.04</b> | 1197.8 | <b>95.04</b> | 1258.9 |
| risc           | 6434    | 52.8    | 49,020 | 96.0        | 2459   | 95.8         | 85     | <b>96.5</b>  | 150.5  |
| diffq          | 10,008  | 96.2    | 13,320 | 96.40       | 3000   | 96.51        | 295.5  | <b>97.09</b> | 453.7  |
| Keskmine F.C.: |         | 76.9    |        | 87.9        |        | 88.6         |        | <b>88.9</b>  |        |

Eksperimendid viidi läbi arvutikeskkonnas 366 MHz SUN UltraSPARC 60 server, 512 MB RAM koos SOLARIS 2.8 opsüsteemiga. Rikete katet mõõdeti ühe ja sama rikete simulaatoriga tagamaks võrdluse objektiivsust. Ajad hõlmavad nii testide genereerimise etappi kui ka testide kvaliteedi mõõtmise etappi. Eksperimendid näitavad, et viiel juhul kuuest saavutati uue generaatoriga kõrgeim rikete kate. Samal ajal testide genereerimise ajad on uuel generaatoril kordades väiksemad kui generaatoritel HITEC ja GATEST. Võrreldes uut testigeneraatorit meie eelneva versiooniga DECIDER on näha, et rikete kvaliteedi tõus on saavutatud testide genereerimiseks vaja läinud aja mõningase suurenemise arvel.

### **5.3 Uued tulemused testide genereerimise valdkonnas**

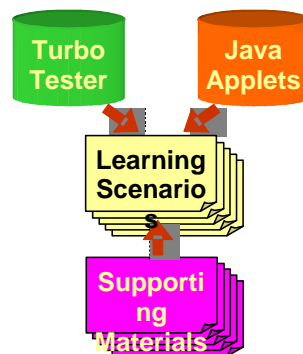
Digitaalskeemide ja -süsteemide testide genereerimise valdkonnas saavutati projekti raames järgmised teadustulemused.

- Uus meetod defekt-orienteeritud testide genereerimiseks ja vastav tarkvara, millega läbi viidud eksperimentaaluuringud demonstreerisid teoreetiliste uuringute kolme efekti (uut tulemust) [22,25]:
  - näitasime, et 100%-lise konstantrikete kattega klassikalise testi tegelik reaalsed defektide kate oli palju väiksem, jäädes piirkonda 75%-82%;

- tõestasime, et lõviosa katmata defektidest osutus funktsionaalselt liiasteks st mitteolulisteks, mille tõttu õnnestus "tõsta" ka reaalse defektide katet ka klassikaliste meetodite puhul küllalt lähedale 100%-le (mis tähendas, et ka klassikaline 100%-line test võis mõningatel juhtudel olla rahuldav ka defektide avastamise suhtes, ainult seda polnud seni võimalik eksperimentaalselt näidata - võimalus defektide liiasuse tõestamiseks seni puudus);
- genereerisime uue generaatoriga testid 100%-liseks defektide katmiseks.
- Uuestide genereerimisel põhinev meetod, mis võimaldas anda soovitusi disainerile skeemi töökindluse tõstmiseks [32].
- OD-mudelil põhinevad uued meetodid digitaalsüsteemide testitavuse mõõtmiseks ja parandamiseks, mis erinevalt traditsioonilistest meetoditest teostavad analüüsi kõrgtasemel VHDL kirjelduste baasil ja on seetõttu tuntud meetoditest märgatavalt efektiivsemad [2,38].
- Täiustati seniseid hierarhilisi testide genereerimise algoritme, kasutades uusi kõrgema tasandi rikkemudelid [8,14,21,48], uudseid geneetika põhimõtteid [23,37], kõrgtasandi testitavuse hinnanguid [2,38] ja reaalse füüsiliste defektide kaudse arvestamise ideesid [16,21].
- Uued efektiivsemad meetodid ja algoritmid uut tüüpi digitaalsüsteemide klassidele – kiipsüsteemidele [21] ja kiipvõrkudele [9,15,30].
- Uued põhimõtted ja algoritmid hübriidsetele isetestimisskeemidele optimeerimaks genereeritavaid teste nii energiakulu minimeerimise [1] kui ka kiiruse tõstmise eesmärgil ette antud kitsendustel isetestimisarhitektuuridele ja mälumahule [40,41].
- Uuused testide genereerimise algoritmid füüsiliste defektide testimiseks, mis avalduvad viiteriketena [12] ja signaalide ülekostvusena [13,29].
- Tarkvaratööriistade välja töötamine hierarhiliseks defekt-orienteeritud testide genereerimiseks digitaalskeemidele ja –süsteemidele ning eksperimentide läbi viimine uute meetodite efektiivsuse kindlaks tegemiseks ja võrdlemiseks olemasolevate meetodite ja tööriistadega [1,15,22,25,40,48].

## 6. Teadusuuringute ja õppekeskkonna väljatöötamine

Üheks oluliseks käesoleva uurimistö vältjundiks on saavutatud teadustulemuste juurutamine õppeprotsessi vastavate innovaatiliste õppevahendite või laboris kasutatavate uurimistö vahendite väljatöötamise näol [7,46,47]. Koostöös Ilmenau Tehnikaülikooli ja Fraunhoferi Instituudiga oleme viimaste aastate jooksul välja töötanud internetil põhineva õpisüsteemi digitaaltehnik disaini ja testi õpetamiseks tehnikaülikoolides, mis on pakkunud elavat huvi mitmel rahvusvahelisel konverentsil, s.h. USAs [26,31,34,35,43].



Joonis 8. e - õppe laboratoorne keskkond

Töötasime välja rea webi-põhiseid applette digitaalsüsteemide disaini- ja diagnostikaprotsesside laboratoorseks uurimiseks järgmiste probleemide valdkonnas:

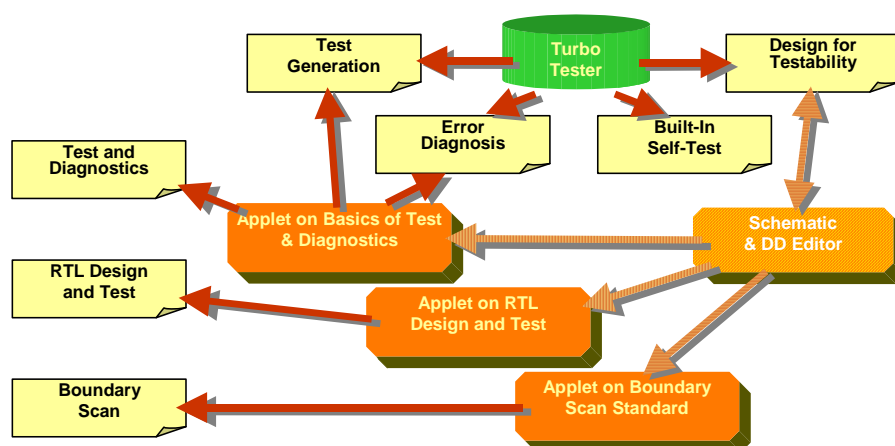
- loogikaskeemide [31,46] ja registersiirete tasandi [7,26,31,46] disain;
- füüsiliste defektide modelleerimine [17,19,20];
- testide süntees ja analüüs loogikatasandil [28,42,34] ja registersiirete tasandil [7,26,31,34];
- isetestimisprotsesside uurimine [46,47] ning
- komponentide ühendusahelate defekt-orienteeritud diagnostikaprobleemide uurimine [27,33].

Java applettidel põhinev tarkvara võimaldab läbi viia nii õppejõu demonstratsioone loenguruumis, individuaalõpet ja -treeningut, mis ei sõltu ei ajast ega kohast, kui ka eksamineerida tudengeid. On loodud

hulk uurimisstsenaariume klassiõppetöö, laboratoorsete tööde ja ka kaugõppe paremaks organiseerimiseks. Loodi portaal kogu tarkvara ühendamiseks ühtsesse interneti poolt kasutatavas süsteemi [36].

E-õppe tarkvara meetodiline arendus oli koordineeritud ka Framework V europrojektiga REASON (IST-2000-30193) ning meie poolt välja töötatud tarkvara on saanud laiema rahvusvahelise tunnustuse [7,28,42,46,47]. Õpissüsteemi kasutatakse regulaarselt Jonköpingi Ülikooli õppekavas Rootsisis, Darmstadt Tehnikaülikooli juures korraldatavas igaastases rahvusvahelises suvekoolis, mitmetes ülikoolides Hollandis, Poolas, Tšehhi Vabariigis, Slovakkias, Bulgaarias jne. ning soovitakse hakata kasutama ka paljudes teistes Lääne ülikoolides. Näiteks projekti REASON raames välja töötatud defektide uurimise keskkonna DefSim [17,19,20] on endale tellinud ligemale 50 ülikooli Euroopas.

Kogu keskkonna üldine struktuur on esitatud joonisel 8. See koosneb Java appletide komplektist [46], Turbo-Testri tarkvarast [47], mis toetab applette, appletide ja TT baasil koostatud õppe- ja uurimisstsenaariumidest ning täiendavast tekstimaterjalist stsenaariumide toetamiseks ning tööks selles keskkonnas ettevalmistamiseks. Joonisel 9 on esitatud detailsem keskkonna struktuur, mis koosneb tööriistadest (TT, appletid, objekti matemaatilise mudeli redaktor) ja tööprojektid, mida keskkond toetab.



Joonis 9. e-õppe laboratoorse keskkonna tööriistad ja tööprojektid

### Turbo Tester

Laboratoorse keskkonna tuumaks on juba eelpool lühidalt kirjeldatud Turbo Tester (joonis 9), mis on installeeritud lokaalselt, ning Java appletide komplekt. Seejuures kõiki neid tööriistu saab kasutada üle interneti, mistõttu seda e-õppe keskkonda võib nimetada virtuaalseks laboratooriumiks. TT sai valitud selles keskkonda selles sisalduva suure hulga ühtsesse süsteemi lülitatud diagnostika tööriistade tõttu, mis võimaldavad läbi viia rikkaliku valiku uurimisstsenaariume ja laboratoorseid töid ning kursuse või diplomiprojekte.

### Java appletid

Java appletide kasutamise idee on pisut teistsugune. Nad on põhiliselt mõeldud toetamiseks võimalust tudengitel tundma õppida, kuidas lahendada lihtsamate näidete abil põhilisi digitaalskeemide ja süsteemide testimise ülesandeid, mõistma õppida probleemseid ja lahendusideid, eksperimenteerida ise diagnostika probleemide kallal. Appletid on kättesaadavad veebis<sup>1</sup>.

### Appletidel põhinevad uurimisstsenaariumid

Keskseks punktiks kirjeldatud appletide puhul on nende kasutamine mitmesuguste teaduslike uuringute ja inseneritöö stsenaariumide puhul, kus tuleb koostada teste, simuleerida teste, analüüsida testide kvaliteeti ning diagnoosida skeemirikkeid. On välja töötatud stsenaariumid nii algajatele selles valdkonnas kui ka professionaalidele. Tarbijasõbralikud graafilised liidesed teevad appletid eriti kasulikuks algajatele inseneridele ning üliõpilastele, kes õpivad digitaalsüsteemide projekteerimisega seotud aineid. Keerukamate stsenaariumide puhul tuleks koos appletidega kasutada ka teisi professionaalseid diagnostikatööriistu, milleks sobib ka Turbo-Tester. Stsenaariumide kirjeldused ning juhendid on kättesaadavad veebis<sup>2</sup>.

<sup>1</sup> <http://www.pld.ttu.ee/applets/>

<sup>2</sup> [http://www.pld.ttu.ee/applets/rtl/rtl\\_exercises.html](http://www.pld.ttu.ee/applets/rtl/rtl_exercises.html), [http://www.pld.ttu.ee/applets/bs/bs\\_exercises.htm](http://www.pld.ttu.ee/applets/bs/bs_exercises.htm), [http://www.pld.ttu.ee/applets/bs/bs\\_exercises.htm](http://www.pld.ttu.ee/applets/bs/bs_exercises.htm)

## Kokkuvõte

Uurimistöega oli haaratud 2 õppejõudu, 4 teadurit, 10 doktorandi ja umbes 15 magistrandi TTÜst ning 1 professor ja 1 doktorand TÜst. Grantiga haaratud perioodil kaitsti 2 doktoritööd ja 13 magistratööd. Uurimistöe oli koordineeritud 6 rahvusvahelise projektiga: europrojektid Framework V IST-2000-30193 REASON, Framework V IST-2001-37592 eVikings, ESPRIT Action Europractice, SOCRATES 10063-CP-1-2000-1, ning kaks bilateraalset projekti Saksamaaga EST-000/01 Fraunhoferi Instituudiga ja DILDIS Ilmenau Tehnikaülikooliga. Koostööpartneriteks oli kokku rohkem kui 20 ülikooli Euroopas. Granti raames avaldatud 28 ühispublikatsiooni kaasautoriteks olid 23 teadlast 14 ülikoolist 8 välisriigist. Kokku avaldati granti tulemusena 55 publikatsiooni, s.h. 2 monograafiat, 6 ISI Web artiklit, 3 peatükki kahes monograafias ja 31 konverentside täisettekannet 3.1. kategooria all. Korraldati 8 rahvusvahelist konverentsi (neist 6 grantihoidja peakorraldamisel) ETS'05, EBTW'05, EWDTW'03, EWDTW'04, EWDTW'05, EWDTW'06, BEC'04 ja BEC'06, toimetati kaks konverentsikogumikku (ETS'05). Monograafiaga [11] on kaasas CD diagnostika-alase õpitarkvaraga, mis on samuti rahvusvahelise koostöö tulemus. Käesolevaks hetkeks on uurimisgrupi poolt välja töötatud diagnostikatarckvara Turbo Tester [47] kasutatud või kasutusel nii õppe- kui uurimistöe eesmärkidel rohkem kui 100 ülikoolis ja teadusasutuses rohkem kui 30 eri riigist üle maailma. Rahvusvahelise teaduskorraldusliku töö tunnustusena sai grantihoidja kaks autasu: IEEE Computer Society Meritorious Service Award (2005) ja IEEE Computer Society Golden Core Member Award (2006).

## Refereeritud granti raames avaldatud publikatsioonid:

### Kategooria 1.1:

1. G.Jervan, Z.Peng, T.Shchenova, R.Ubar. A Hybrid BIST Energy Minimization Technique for SoC Testing. IEE Proceedings on Computers & Digital Techniques, July 2006, Vol. 153, Issue 4, pp.208-216.
2. J.Raik, T.Nõmmeots, R.Ubar. A New Testability Calculation Method to Guide RTL Test Generation. Journal of Electronic Testing: Theory and Applications – JETTA. Springer Science + Business Media, Inc. 21, pp.73-84, 2005.
3. A.Matrosova, A.Pleshkov, R.Ubar. Construction of the Tests of Combinational Circuit Failures by Analyzing the Orthogonal Disjunctive Normal Forms Represented by the Alternative Graphs. J. of Automation and Remote Control. Publisher: Springer Science & Business Media B.V., 66 (2), 2005, pp. 313-327.
4. J.Raik, R.Ubar, S.Devadze, A.Jutman. Efficient Single-Pattern Fault Simulation on Structurally Synthesized BDDs. Lecture Notes in Computer Science, Vol. 3463, Springer Verlag, Berlin, Heidelberg, New York 2005, pp. 332-344.
5. R.Ubar. Decision Diagrams and Digital Test. Journal of Microelectronics Electronic Components and Materials, 35 (4), December, 2005, pp.187-195.
6. R.Ubar. Design Error Diagnosis with Resynthesis in Combinational Circuits. Journal of Electronic Testing: Theory and Applications 19, 73-82, 2003. Kluwer Academic Publishers.

### Kategooria 1.2:

7. R.Ubar, A.Jutman, M.Kruus, E.Orasson, S.Devadze, H.-D.Wuttke. Learning Digital Test and Diagnostics via Internet. International Journal of Emerging Technologies in Learning. 3(1), 2007, pp.1-9.
8. R.Ubar, M.Aarna, H.Kruus, J.Raik. High Quality Test Generation for Digital Systems. Romanian Journal of Information Science and Technology, Vol.8, No 1, 2005, pp.73-84.

### Kategooria 2.1:

9. R.Ubar, J.Raik. Testing Strategies for Networks on Chip. In "Networks on Chip" by A.Jantsch, H.Tenhunen. Kluwer Academic Publishers, 2003, pp. 131-152.

### Kategooria 2.2:

10. R.Ubar. Digitaalsüsteemide diagnostika. I. Diagnostiline modelleerimine. Tallinn, TTÜ Kirjastus, 148 lk.
11. O.Novak, E.Gramatova, R.Ubar a.o. Handbook of Electronic Testing. Czech TU Publishing House, Prague, 2005, 400 p.

### Kategooria 3.1:

12. T.Bengtsson, A.Jutman, S.Kumar, Z.Peng, R.Ubar. Off-line Testing of Delay Faults in NoC Interconnects. Proceedings of the 9<sup>th</sup> IEEE EUROMICRO Conference on Digital Systems Design DSD2006, Katvat, Croatia, 2006, pp.677-680.
13. T.Bengtsson, S.Kumar, A.Jutman, R.Ubar. Off-line Testing of Crosstalk Induced Glitch Faults in NoC Interconnects. 24th IEEE Norchip Conference, Linköping, Nov. 20-21, 2006, pp.221-226.
14. J.Raik, R.Ubar, T.Viilukas. High-Level Decision Diagram based Fault Models for Targeting FSMs. Proceedings of the 9<sup>th</sup> IEEE EUROMICRO Conference on Digital Systems Design DSD2006, Katvat, Croatia, 2006, pp.353-358.
15. V.Govind, J.Raik, R.Ubar. An External Approach for Network-on-Chip Switches. IEEE Asian test Symposium. 2006, Fukuoka, Japan, pp.437-442.
16. R.Ubar, M.Brik, A.Jutman, J.Raik, T.Bengtsson, S.Kumar. Functional Test Generation for Finite State Machines. Baltic Electronics Conference. Laulasmaa, Oct. 2006, pp.205-208.
17. W.A.Pleskacz, T.Borejko, A.Walkanis, V.Stopjakova, A.Jutman, R.Ubar. DefSim: CMOS Defects on Chip for Research and Education. 7<sup>th</sup> IEEE Latin-American Test Workshop, March 26-29, 2006, Buenos Aires, Argentina, pp.74-79.
18. S.Devadze, J.Raik, A.Jutman, R.Ubar. Fault Simulation with Parallel Critical Path Tracing for Combinational Circuits Using SSBDDs. 7<sup>th</sup> IEEE Latin-American Test Workshop, March 26-29, 2006, Buenos Aires, Argentina, pp.97-102.
19. T.Borejko, A.Jutman, W.Pleskacz, R.Ubar. DefSim: Measurement Environment for CMOS Defects. Proc. 25<sup>th</sup> International Conference on Microelectronics (MIEL'2006), Vol. 2, Belgrade, Serbia and Montenegro, 14-17 May 2006, pp.679-682.
20. W.Pleskacz, T.Borejko, A.Walkanis, V.Stopjakova, A.Jutman, R.Ubar. CMOS Defects Analysis using DefSim Measurement Environment. Informal Digest of Papers of the 11<sup>th</sup> IEEE European Test Symposium, Southampton, UK, May 22-25, 2006, pp.241-246.
21. G.Jervan, R.Ubar, Z.Peng, P.Eles. Chapter 5. Test Generation: A Hierarchical Approach. In "System-level Test and Validation of Hardware/Software Systems". Springer Series in Advanced Microelectronics, Vol.17, 2005, pp. 63-77.

22. J.Sudbrock, J.Raik, R.Ubar, W.Kuzmicz, W.Pleskacz. Defect-Oriented Test- and Layout-Generation for Standard-Cell ASIC Designs. Proc of the 8th Euromicro conf. on Digital Systems. Porto, Aug.30 – Sept. 3, 2005, pp.79-82.
23. Y.A.Skobtsov, D.E.Ivanov, V.Y.Skobtsov, R.Ubar, J.Raik. Evolutionary Approach to Test Generation for Functional BIST. Informal Digest of Papers of the 10<sup>th</sup> IEEE European Test Symposium, May 22-25, 2005, Tallinn, pp.151-155.
24. J.Raik, R.Ubar, J.Sudbrock, W.Kuzmicz, W.Pleskacz. Deterministic Defect-Oriented Test Generation for Digital Circuits. IEEE Proceedings of the 6th Latin-American Test Workshop, March 30 – April 2, 2005, Salvador, Brazil, pp.325-330.
25. J.Raik, R.Ubar, J.Sudbrock, W.Kuzmicz, W.Pleskacz. DOT: New Deterministic Defect-Oriented ATPG Tool. Proc. of 10th IEEE European Test Symposium, May 22-25, 2005, Tallinn, pp.96-101.
26. R.Ubar, H.-D.Wuttke. Research and Training Environment for Digital Design and Test. Proc. of the 8th IASTED Int. Conf. on Computers and Advanced Technology in Education. Oranjestadt, Aruba, August 29-31, 2005, pp.232-237.
27. A.Jutman, J.Raik, R.Ubar, V.Vislogubov. An Educational Environment for Digital Testing: Hardware, Tools, and Web-based Runtime Platform. Proc of the 8th Euromicro conf on Digital Systems. Porto, Aug.30 – Sept. 3, 2005, pp.412-419.
28. R.Ubar, E.Orasson, J.Raik, H.-D.Wuttke. Teaching Advanced Test Issues in Digital Electronics. Proceedings of the 6th IEEE International Conference on Information Technology Based Higher Education and Training - ITHET. July 7-9, 2005, Santo Domingo, pp. S2B-5 – S2B-10.
29. T.Bengtsson, A.Jutman, R.Ubar, S.Kumar. A method for crosstalk fault detection in on-chip Buses. IEEE NORCHIP Conference, Oulu, Finland, Nov. 21-22, 2005, pp.285-288.
30. A.Jutman, R.Ubar, J.Raik. Generic Interconnect BIST for Network-on-Chip. Proc. of IEEE Design and Diagnostics of Electronic Circuits and Systems Workshop. Sopron, April 13-16, 2005, pp.224-227.
31. A.Jutman, ASudnitson, R.Ubar, H.-D.Wuttke. E-Learning Environment in the Area of Digital Microelectronics. Proc. of the 5<sup>th</sup> Int. Conf. on IT Based Higher Education and Training, Istanbul, Turkey, 31 May – 2 June 2004, pp.278-283.
32. R.Ubar, T.Vassiljeva, J.Raik, A.Jutman, M.Tombak, A.Peder. Optimization of Structurally Synthesized BDDs. The 4th IASTED Int. Conf. on Modelling, Simulation and Optimization, Kauai, Hawaii, USA, August 17-19, 2004, pp.234-240.
33. A.Jutman, R.Ubar, H.-D.Wuttke. Overview of E-Learning Environment for Web-Based Study of Testing and Diagnostics of Digital Systems. 5<sup>th</sup> European Workshop on Microelectronics Education, Lausanne, April 15-16, 2004, pp. 173-176.
34. R.Ubar, H-D.Wuttke. Research and Training Environment for Digital Design and Test. 34th ASEE/IEEE Frontiers in Education Conference, Oct 20-23, 2004, Savannah, GA, pp.S3F-18 to S3F-24
35. E. Ivask, J. Raik, R. Ubar, A. Schneider. WEB-Based Environment: Remote Use of Digital Electronics Test Tools. In "Virtual Enterprises and Collaborative Networks", Kluwer Academic Publishers, 2004, pp. 435-442.
36. V.Vislogubov, A.Jutman, H.Kruus, E.Orasson, J.Raik, R.Ubar. Diagnostic Software with WEB Interface for Teaching Purposes. Proc. of the 9<sup>th</sup> Biennial Baltic Electronics Conference, Oct. 3-6, 2004, Tallinn, pp.255-258.
37. M.Brik, E.Ivask, J.Raik, R.Ubar. On Using Genetic Algorithm for Test Generation. Proc. of the 9<sup>th</sup> Biennial Baltic Electronics Conference, Oct. 3-6, 2004, Tallinn, pp.233-236.
38. J.Raik, V.Govind, R.Ubar. RT-Level Test Point Insertion for Sequential Circuits. Proc. of the IEEE 1<sup>st</sup> Int. Workshop on Testability Assessment, Rennes, Nov.2, 2004, pp.34-40. IEEE Catalog Number 04EX983, ISBN 0-7803-8851-8.
39. V.Hahanov, R.Ubar, S.Hyduke. Back-Traced Deductive-Parallel Fault Simulation for Digital Systems. Proc. of EUROMICRO Symposium on Digital System Design. Belek-Antalaya, Turkey, September 3-5, 2003, pp. 370-377.
40. G.Jervan, P.Eles, Z.Peng, R.Ubar, M.Jenihhin. Test Time Minimization for Hybrid BIST of Core-Based Systems. *IEEE Asian Test Symposium 2003*, Xian, China, November 17-19, 2003, pp.318.323.
41. G.Jervan, P.Eles, Z.Peng, R.Ubar, M.Jenihhin. Hybrid BIST Time Minimization for Core-Based Systems with STUMPS Architecture. *IEEE 18<sup>th</sup> Int. Symp on Defect and Fault Tolerance*. Cambridge, MA, USA, Nov 3-5, 2003, pp.225-232.
42. R.Ubar, E.Orasson. E-Learning tool and Exercises for Teaching Digital Test. Proc.of 2<sup>nd</sup> IEEE Conf. on Signals, Systems, Decision and Information Technology. Sousse, Tunisia, March 26-28, 2003, CIT-6, pp.1-6.
43. A.Schneider, K.-H.Diener, G.Elst, R.Ubar, E.Ivask, J.Raik. Integration of Digital Test Tools to the Internet-Based Environment MOSCITO. Proc. of 7<sup>th</sup> World Multiconference on Systemics, Cybernetics and Informatics – SCI 2003. Orlando, USA, July 27-30, 2003, pp.136-141.

Kategooria 3.2:

44. E.Gramatova, M.Fisherova, R.Ubar, W.Pleskacz. Chapter 2. Defects, Faults and Fault Models. In "Handbook of Electronic Testing". Czech TU Publishing House, Prague, 2005, pp. 26-98.
45. R.Ubar, E.Gramatova, M.Fisherova. Chapter 3. Test Generation Techniques and Algorithms. In "Handbook of Electronic Testing". Czech TU Publishing House, Prague, 2005, pp. 100-174.
46. A.Jutman. Testing tools. In "Handbook of Electronic Testing". Czech TU Publishing House, Prague, 2005, pp. 361-366.
47. J.Raik. Testing tools. In "Handbook of Electronic Testing". Czech TU Publishing House, Prague, 2005, pp. 373-379.
48. J.Raik, R.Ubar. Enhancing Hierarchical ATPG with a Functional Fault Model for Multiplexers. 7<sup>th</sup> IEEE Workshop on Design and Diagnostics of Electronic Circuits and Systems. Stara Lesna, Slovakia, April 18-21, 2004, pp. 219-222.
49. A.Jutman, A.Peder, J.Raik, M.Tombak, R.Ubar. Structurally Synthesized Binary Decision Diagrams. 6<sup>th</sup> International Workshop on Boolean Problems, Freiberg, Germany, Sept. 2004, pp.271-278.
50. R.Ubar, M.Aarna, M.Brik, J.Raik. High\_Level Fault Modeling in Systems. Shaker Verlag, Aachen, 2004, pp.486-491.
51. R.Ubar. Decision Diagrams and Digital Test. Proc. of the 6<sup>th</sup> International Workshop on Electronics, Control, Measurement and Signals, Liberec, Czechia, June 2-4, 2003, pp.266-273 (**Invited plenary paper**).
52. R.Ubar. Mapping Physical Defects to Logic Level for Defect Oriented Testing. Proc. of International Symposium on Signals, Circuits and Systems – SCS 2003, Vol. 2, Iasi, Romania, July 10-11, 2003, pp.453-456

Kategooria 3.4:

53. R.Ubar. Mapping Faults in Hierarchical testing of Digital Systems. Proc. of the Int. Conf. On Computer, Communication and Control technologies – CCCT'03. Orlando, USA, July 31 – August 2, 2003, pp.14-19. (**Best Paper Award**).
54. R.Ubar, J.Raik, B.Klüver. Algorithms for hierarchical fault simulation in digital systems. Proc. of the 10<sup>th</sup> Int. Conf. MIXDES 2003, Lodz, June 26-28, 2003, pp.530-535.

To be published:

55. R.Ubar, S.Devadze, J.Raik, A.Jutman. Ultra Fast Parallel Fault Analysis on Structural BDDs. 12th IEEE European Test Symposium, Freiburg, May 20-24 (Kat. 3.1).