

MEETODID JA TARKVARA DIGITAALSÜSTEEMIDE DIAGNOSTIKAKS

ETF Grant reg. nr.574

(1993 - 1995)

REFERAAT

Käesolevas projektis on viidud läbi rida teoreetilisi alternatiivsete graafide teorial põhinevaid uuringuid digitaalsüsteemide testide sünteesi üldistamiseks süsteemi erinevatel kirjeldustasemetel (loogika, register-edastuse, protseduursel ja käitumuslikul tasandil).

Töö tulemused näitavad, et alternatiivseid graafe (AG) on võimalik kasutada universaalse matemaatilise baasina laia spektrumi diagnostikaülesannete lahendamiseks, võimaldades nii ühtse mudeli loomist kui ka ülesannete taandamist standartsetele protseduuridele (nn. *horisontaalne universaalsus*). AG-d võimaldavad ka ühtset lähenemisviisi diagnostika ülesannete lahendamisele erinevatel süsteemi kirjeldustasanditel (*vertikaalne universaalsus*). Erinevalt analoogsetest binaarsetest otsustuspuudest AG-d toetavad testide sünteesi ventiilskeemide struktuursete rikete suhtes (samal ajal kui binaarsed otsustuspuud võimaldavad läbi viia vaid funktsionaalset testimist, mille kvaliteet ei pea olema antud struktuuri suhtes alati tagatud). Samal ajal ei kehti AG-de puhul kitsendus üksnes loogikatasemel kasutamise suhtes, nii nagu see on binaarsete puude juhtumil.

Projekti raames on välja töötatud uued meetodid ja algoritmid digitaalsüsteemide testide sünteesiks, viidi läbi eksperimendid rahvusvaheliselt tunnustatud kontrollnäidete peal, mis kinnitasid uue kontseptsiooni efektiivsust. AG-de matemaatilisel baasil loodi automaatne testide projekteerimise süsteem TURBO-TESTER, mis on juurutatud õppetöösse Tallinna Tehnikaülikoolis ja reas ülikoolides Soomes, Rootsis ning Inglismaal. Samal teoreetilisel baasil projekteeriti ka testprogrammide automaatne generaator FTGEN mikroprotsessorsüsteemide funktsionaalseks testimiseks.

Projekti raames läbi viidud teadustöö tulemused on publitseeritud 28-s artiklis ja kantud ette 36 rahvusvahelisel konverentsil ning seminaril.

Projekt sai Eesti Teadusfondi uuringutoetuse aastatel 1993-1995.

METHODS AND SOFTWARE FOR DIAGNOSIS OF DIGITAL SYSTEMS

Abstract

Theoretical investigations based on the uniform alternative graphs approach for generalizing methods for digital test synthesis at different system levels (at logical, register transfer, procedural and behavioral levels) were carried out.

AGs serve as a mathematical basis for solving a wide spectrum of test design tasks, resulting in a uniform model and a restricted set of standardized procedures (horizontal universality). They also allow a uniform approach to test design at different system representation levels (vertical universality). Unlike the analogical binary decision diagrams (BDD) AGs support test design for gate-level structural faults (whereas BDDs help only getting functional tests with uncertain quality for the given implementation). AGs are not restricted for using at the logical level only. They allow also to represent functional and procedural descriptions of digital systems. Multilevel descriptions are easy to produce using the uniform graph language, since implementation details of functions given by labels at nodes in higher-level AGs can be represented by additional lower-level AGs.

On the mathematical basis of AGs, an automated test design system TURBO-TESTER has been developed and experimented. A set of test synthesis and analysis tools has been created and experimented. Experimental data have shown the efficiency of new algorithms. TURBO-TESTER has been introduced into the teaching process at the Technical University of Tallinn and in several universities in Finland, Sweden and Great-Britain. On the same theoretical basis an automated high-level testprogram generator FTGEN for functional testing microprocessor systems has been developed.

The results of the project are published in 28 papers and have been presented on 36 international conferences, workshops and seminars.

The project was supported by Estonian Science Foundation in 1993-1995.

SISUKORD

1. ÜLESANDE PÜSTITUS

1.1. Projekti üldteoreetiline taust	4
1.2. Uurimuse põhieesmärgid	5
1.3. Viited kirjandusele	6

2. TÖÖ SISU

2.1. Alternatiivsed graafid digitaalsüsteemide diagnostikamudelina	7
2.2. Testide sünteesi ja analüüsi meetodid loogika tasemel	8
2.3. Funktsionaalsete testide süntees mikroprotsessoritele	9
2.4. Digitaalsüsteemide rikete diagnostika	9
2.5. Digitaalsüsteemide testitavuse hindamine funktsionaalsel tasandil	10
2.6. Tulemuste kasutamisest	10

3. KOKKUVÕTE

3.1. Töö põhitulemused	11
3.2. Kvalifikatsiooni tõstmine	11
3.3. Publikatsioonide nimekiri	11
3.4. Esinemised konverentsidel ning seminaridel	13
3.5. Projekti koordineeritus rahvusvaheliste programmidega	15

4. LISA

4.1. Uuringutulemuste publitseerimine (koopiad)	18
---	----

1. ÜLESANDE PÜSTITUS

1.1. Projekti üldteoreetiline taust

Ühiskonna sõltuvus elektroonikast ja arvutisüsteemidest on pidevalt kasvamas. Arvutite, telekommunikatsiooni, mehatronika jms. rakendused omandavad üha suuremat tähtsust nii tööstuses kui ka keskkonnakaitses. Pea kõik inimtegevuse alad on elektroonikast sõltuvad, mis eriti tajutavaks saab, kui tehnika korrast ära läheb.

Testide genereerimine ja rikete diagnoos tänapäeva elektroonikasüsteemides on nende keerukusest tingituna äärmiselt kulukas ja aeganõudev. Paljudel juhtudel haaravad elektroonika testimiskulutused 70% ja rohkem kõigist tootmiskuludest kokku. Uute seadmete loomise puhul tähendab see hilistumist turule jõudmisel ja sellega seonduvaid täiendavaid kahjumeid. Üha kiiremini areneva elektroonika testimisprobleemidest jagu saamiseks töötatakse pidevalt välja uusi meetodeid, algoritme, tehnikaid ja tarkvara, mis vihjab selle valdkonna äärmiselt suurele aktuaalsusele.

Digitaalsüsteemide suure keerukuse tõttu on traditsioonilised loogikaventiilide tasemel töötavad meetodid kaotanud praktilise tähtsuse. Viimasel kümnendil on eluõiguse võitnud nn. “jaga ja valitse” põhimõtet realiseerivad hierarhilised lähenemisviisid [Lee 90, Min 93, Ste 93], mis püüavad säilitada loogikaventiilide taseme detailsust ja täpsust ning lõigata kasu ka funktsionaalsel kõrgtasemel realiseeruvast makroskoopilisest lähenemisviisist. Kõrgtasemel toimuv testide genereerimine põhineb kõrgtaseme komponentide käsitlemisel primitiividena [Ani 89, Sar 89, Kar 91, Lee 92]. Eri tüüpi primitiivide ühtne käsitus aga puudub. Probleemi lihtsustamiseks vaadeldakse sageli üksnes kombinatoorseid primitiive [Sar 89, Bha 90, Kun 90]. Süsteemi dekomponeerimist juhtautomaadiks ja operatsioonautomaadiks vaadeldakse töödes [Ani 89, San 93], kuid efektiivset mehhanismi automaatide vahelise interaktsiooni käsitlemiseks pole välja pakutud. Kõrgtaseme testide genereerimisel võib eristada kahte lähenemisviisi: sümbol-simuleerimist [Ste 93] ja teede aktiveerimist [Ani 89, Kar 91, Lee 92, San 93]. Esimene taandub sümbolvõrrandite lahendamisele, mis üldjuhul, keerukate süsteemide puhul nõuab väga pikki arvutusi. Peaaegu kõigi eelpool esitatud lähenemisviiside puhul realiseeritakse hierarhilist põhimõtet suunas “alt üles”, kusjuures ülalt põhjustatud kitsendusi ignoreeritakse, mis viib testide kvaliteedi langemisele. Detailsem ülevaade digitaalsüsteemide diagnostika tänapäeva teaduse tasemest on esitatud töös [Uba 94].

Eksisteerib hulk testide genereerimise meetodeid, mis on välja töötatud spetsiaalselt digitaalsüsteemide eri tasemetel - käitumusliku, protseduurse, funktsionaalse ja loogikaventiilide tasemetel jaoks. Nende meetodite kombineerimine hierarhilisel lähenemisel

tähendaks masinprojekteerimissüsteemide keerukuse ja vastavalt ka nende hinna kasvu. Ühtse teooria puudumine eri tasemetel esitatud digitaalsüsteemide diagnostikaülesannete lahendamiseks (nii nagu näiteks eksisteerivad Boole'i algebra ja Boole'i differentsiaalrvtus loogikaventiilide taseme jaoks) muudab keeruliseks, kui mitte võimatuks, paljude diagnostikaprobleemide defineerimise, uurimise kui ka lahendamise, mis on seotud näiteks testide sünteesi ja analüüsiga, rikete maskeerumisega, testide kvaliteedi ja keerukuse hindamisega. Ühtse teooria puudumine tähendab ka seda, et eri tööriistad (testide genereerimiseks, simuleerimiseks, testide kvaliteedi hindamiseks, testitavuse mõõtmiseks) nõuavad harilikult erilisi just sellele tööriistale vajalikke komponentide mudeleid funktsioonide, algoritmide, operaatorite või reeglite näol, mis harilikult on esitatud ka eri keeltes. See aga tähendab vajadust paljude mudeltekide järele, mis muudab praktilise töö disainisüsteemidega kalliks ja ebamugavaks.

Traditsiooniliste meetodite ülalmainitud puuduste ületamiseks on käesolevas projektis arendatud välja uus lähenemisviis testi- ja diagnostikaprobleemide lahendamiseks, mis toetub digitaalsüsteemide modelleerimisele alternatiivsete graafide (AG) abil. Senised uurimistulemused on näidanud, et alternatiivsed graafid on sobivaks matemaatiliseks baasiks ühtse rikete mudeli defineerimisel digitaalsüsteemidele ja laia spektri diagnostikaülesannete lahendamisel ühtsete standardiseeritud protseduuride abil (*horisontaalne universaalsus*). Teiselt poolt, AG-de kasutamine võimaldab välja arendada ühtset lähenemisviisi diagnostikaülesannete lahendamisele süsteemide eri hierarhiatasemetel (*vertikaalne universaalsus*). Erinevalt analoogilistest binaarsetest otsustusdiagrammidest [Ake 78, Aba 86, Bri 86], AG-d toetavad testide disaini loogikaventiilide struktuuride rikkeid silmas pidades, samal ajal kui binaarsed diagrammid tagavad vaid funktsionaalse testimise, mille kvaliteet jääb ebamääraseks. Lisaks öeldule, erinevalt binaarsetest diagrammidest, on AG-de kasutusvaldkond laiem kui binaarne loogika [Uba 94].

Võimalusi kasutada alternatiivseid graafe ühtse matemaatilise baasina digitaalsüsteemide diagnostikaülesannete lahendamisel ongi uuritud käesolevas projektis. Uurimistulemuste rakendusena on loodud diagnostikatarkvara TURBO-TESTER - tööriistade kogum testide genereerimiseks, rikete simuleerimiseks, testitavuse mõõtmiseks ja sard-diagnostikavahendite kvaliteedi analüüsiks. Algoritmid ja tarkvara, mis on loodud signaaliteede tasemel esitatud digitaalsüsteemide jaoks võimaldavad töö efektiivsuse tõstmist umbes kolm korda võrreldes loogikaventiilide tasemega. Projekti tulemusi võib vaadelda alternatiivsete graafide horisontaalset universaalsust käsitava väite eksperimentaalse tõestusena.

1.2. Uurimuse põhieesmärgid

Esitatava projekti põhieesmärgiks on uurida ja väljatöötada alternatiivsete graafide teoorial põhinevaid meetodeid, algoritme ja tarkvara digitaalelektronika skeemide ja süsteemide testprogrammide automaatseks genereerimiseks, testide kvaliteedi hindamiseks ja rikete diagnostikaks.

Projektis lahendatavateks ülesanneteks on:

1. Teoreetilised uuringud alternatiivsetel graafidel põhinevate matemaatiliste mudelite adekvaatsuse ja diagnostikameetodite usaldatavuse ning efektiivsuse hindamiseks digitaalskeemide jaoks loogikatasemel.

2. Algoritmide ja tarkvara väljatöötamine kombinatsioonskeemide testide automaatsiks sünteesiks, testide ja rikete simuleerimiseks, testide kvaliteedi hindamiseks ning skeemide testitavuse analüüsiks.
3. Algoritmide ja tarkvara väljatöötamine testide automaatsiks sünteesiks mikroprotsessor-süsteemidele ja digitaalsüsteemidele üldjuhul.
4. Eksperimentide läbiviimine väljatöötatud meetodite, algoritmide ja tarkvara efektiivsuse hindamiseks.

Projektis väljatöötatud lähenemisviisi uudsus ja originaalsus seisneb alternatiivsetel graafidel põhineva ühtse teoreetilise käsitluse esmakordses kasutuselevõtus digitaalse diagnostika valdkonnas ja selle rakendamises keerukate digitaalsüsteemide diagnostikaülesannete lahendamise meetodite loomisel. Traditsiooniliselt, on neid ülesandeid lahendatud paljude erinevate teoreetiliste mudelite ja matemaatiliste vahendite abil, nagu Boole'i algebra, Boole'i differentsiaalrvutus, lõplike automatide olekutabelid, andmevoodiagrammid, binaarsete otsustuste diagrammid, register-edastus-taseme keeled, Petri võrgud jne. Selles mõttes võib öelda, et ühtne teooria hierarhiliste mitmel tasemel esitatavate digitaalsüsteemide diagnostikaülesannete lahendamiseks puudub, nii nagu see eksisteerib ühetasemeliste loogikaventiilide võrkude abil esitatavatele süsteemidele Boole'i algebra näol. Alternatiivsete graafide kasutamine annab lootusi niisuguse ühtse teooria loomiseks, mis annaks võimaluse formuleerida ja uurida uusi seni lahendamata diagnostikaprobleeme, nagu näiteks - kuidas vältida vigade maskeerumist, kuidas avastada kordseid rikkeid jne. keerukates hierarhilistes süsteemides. Neid probleeme on seni uuritud vaid loogikaventiilide tasandil.

1.3. Viited kirjandusele

- [Ake 78] Akers, S.B. Binary decision diagrams. *IEEE Trans. on Computers*, 1978 Vol. 27, pp.509-516.
- [Aba 86] Abadir M.S., Reghbaty H.K. Functional test generation for digital circuits described using binary diagrams. *IEEE Trans. on Computers*, April 1986, pp.375-379.
- [Ani 89] Anirudhan P.N., Menon P.R. Symbolic test generation for hierarchically modeled digital systems. 1989 International Test Conference, pp.461-469.
- [Bha 90] D. Bhattacharya and J.P. Hayes. A hierarchical test generation methodology for digital circuits. *JETTA: Theory and Application*, vol. 1, pp. 103-123, 1990.
- [Bri 86] Briant R.E. Graph-based algorithms for for Boolean function manipulation. *IEEE Trans. on Computers*, Vol.C-35, No8, 1986, pp.667-690.
- [Kar 91] Karam M., Leveugle R., Saucier G. Hierarchical test generation based on delayed propagation . 1991 IEEE International Test Conference, pp.739-747.
- [Kun 90] Kunda R.P., Abraham J.A., Rathi B.D. Speedup of test generation using high-level primitive. *ACM/IEEE 27th Design Automation Conf.*, pp.580-586, June 1990.
- [Lee 90] Leenstra J., Spaanenburg L. Hierarchical test assembly for macro based VLSI design. 1990 International Test Confernece, pp.520-529.
- [Lee 92] Lee J., Patel J.H. Hierarchical test generation under intensive global functional constraints. *Proc.29th ACM/IEEE Design Automation Conf.*, pp. 261-266, June 1992.

- [Min 93] Min H.B., Luh H.A., Rogers W.A., Hierarchical test pattern generation: a cost model and implementation. IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, vol. 12, N.7, July 1993.
- [San 93] J.F. Santucci, A-L. Courbis, N. Giambiasi, "Speed up of behavioral ATPG. using a heuristic criterion", 30th ACM/IEEE Design Automation Conference, pp. 92-96, 1993.
- [Sar 89] Sarfert T.M., Markgraf R., Trischler E., Schulz M.H. Hierarchical test pattern generation based on high-level primitives. IEEE 1989 Int. Test Conference, Sept. 1989, pp.470-479.
- [Ste 93] Steensma J., Geurts W., Catthoor F. and H. De Maan. Testability analysis in high level data path synthesis. JETTA: Theory and Applications, 4, pp.43-56, 1993.
- [Uba 94] Ubar R. Test generation for digital systems based on alternative graphs. Lecture Notes in Computer Science No 852. Dependable computing - EDCC-1. Springer-Verlag, 1994, pp. 151-164.

2. TÖÖ SISU LÜHIKOKKUVÕTE

2.1. Alternatiivsed graafid digitaalsüsteemide diagnostikamudelina

Käesoleva projekti käigus on edasi arendatud alternatiivsete graafide (AG) kasutusvõimalusi digitaalsüsteemide diagnostikas. AG mudel võimaldab arendada ühtset käsitusviisi nii Boole'i algebrale tugineva loogikaskeemide kui ka funktsionaalselt või käitumuslikult kirjeldatavate keerukate digitaalsüsteemide diagnostika ülesannete lehenemisel. Loogikaskeeme käsitletakse teatavasti analoogilisest graafilisest aspektist vaadatuna binaarsete otsustusdiagrammidena. AG mudel erineb viimastest selle poolest, et võimaldab esitada ka realiseeritud skeemide struktuurseid aspekte, mis lõppkokkuvõttes lubab töötada realistliku vea mudeliga. Selline võimalus traditsiooniliste binaarsete otsustuspuude puhul puudub.

Lisaks öeldule võimaldab AG-kontseptsioon suhteliselt lihtsasti üldistada tulemusi, mis on saadud loogikaskeemide tasandil, ka kõrgemale funktsionaalsele või käitumuslikule tasandile. See tähendab seda, et vea mudelid, testide sünteesi ja rikete diagnostika algoritmid jäävad objekti keerukustasandi suhtes invariantseks. Niiviisi on õnnestunud ühesuguse AG-mudeli abil esitada nii loogikaskeeme madalal ventiilide tasandil, algoritmi graafiskeemide abil kirjeldatud mikroprogrammautomaate, makroplokkide võrgu abil esitatud digitaalsüsteemide kui ka käsu-süsteemidega kirjeldatud mikroprotsessorsüsteemide. Veamudel on kõikidel tasanditel formaalselt sama ainult erineva füüsikalise sisuga. Testide sünteesi ja diagnostika algoritmid põhinevad samadel topoloogilistel graafianalüüsi meetoditel sõltumata süsteemi kirjeldustasandist.

Ülaltoodud tulemustest lähtuvalt on jõutud järeldusele, et alternatiivsed graafid pakuvad suurepärase võimaluse ühtse diagnostikateooria välja arendamiseks digitaalsüsteemidele, sõltumata nende esitustasandist. See aga on eelduseks efektiivsete hierarhiliste meetodite väljatöötamiseks digitaalsüsteemide testide sünteesiks, analüüsiks ja rikete diagnostikaks.

Publikatsioonid:

1. Alternative Graph Based Test Design in Digital Systems. Invited paper. (R.Ubar). Proc. of the 11. NORCHIP Seminar, Trondheim (Norway), Nov. 9-10, pp.48-62, 1993.

2. Test Generation for Digital Systems Based on Alternative Graphs Theory. (R.Ubar). Lecture Notes in Computer Science No 852. Dependable Computing - EDCC-1. Springer-Verlag, 1994, pp.151-164.
3. Alternative Graphs as a Mathematical Tool and Knowledge Representation for Diagnosis Purposes in Digital Systems (R. Ubar). *Proc. 4th Biennial Baltic Electronics Conference*. Tallinn, October 9-14, 1994.
4. Case Study in Testing Digital Systems. Invited paper (R. Ubar). *Baltic Electronics*, Vol. 1, No. 1, Sept. 1995, pp.24-27.

2.2. Testide sünteesi ja analüüsi meetodid loogika tasemel

Projekti käigus on välja töötatud rida uudseid algoritme kombinatsioonskeemide testide sünteesiks ja analüüsiks. Alternatiivsete graafide kasutamine on võimaldanud ventiilskeemide tasandilt tõusta makrokomponentide võrgu tasandile, kus igale puukujulisele allskeemile ventiilide tasandil vastab üks makroplokk kõrgemal tasandil. Erinevalt traditsioonilisest makrokäsitlusest, kus komponentide töötlemiseks eri ülesannete lahendamisel on vaja ka erinevaid matemaatilisi mudeleid, osutus AG-kontseptsiooni puhul võimalikuks läbi saada üheainsa universaalse AG mudeliga. Eksperimendid uute algoritmide efektiivsuse hindamiseks rahvusvaheliselt levinud kontrollobjektide peal näitasid, et testide süntees ja analüüs AG mudeli kasutamise korral kasvab keskmiselt 2-5 korda võrreldes tööga ventiilide tasandil.

Töötati välja meetod ning algoritmid digitaalskeemide mitmeväärtuseliseks simuleerimiseks alternatiivsete graafide mudelil. Meetod on invariantne signaalide alfabeedi suhtes ja baseerub kaheväärtuselise loogika funktsioonide kasutamisel. Erinevalt tuntud lähenemisviisidest, ei nõua antud meetodi kasutamine spetsiaalseid komponentide dünaamika mudeleid, ehk teisiti, meetodi kasutamine võimaldab dünaamika probleemide uurimist spetsiaalsete protseduuride abil staatikamudelitel.

Kasutades väljatöötatud mitmeväärtuselise simuleerimise algoritme, töötati välja meetod ja vastavad algoritmid digitaalskeemide diagnostikatestide kvaliteedi analüüsiks signaalide dünaamikat arvestades. Meetod on invariantne signaalide alfabeedi suhtes ja baseerub kaheväärtuselise loogika funktsioonide kasutamisel. Erinevalt tuntud lähenemisviisidest, ei nõua antud meetodi kasutamine spetsiaalseid komponentide dünaamika mudeleid.

Rakendus:

Ülal kirjeldatud testide sünteesi ja analüüsi ning mitmeväärtuselise modelleerimise meetodid on realiseeritud programmide pakettidena, mis on lülitatud diagnostikatarkvara TURBO-TESTER koosseisu.

Publikatsioonid:

1. Parallel Critical Path Tracing Fault Simulation (R. Ubar). *Proc. of the 39. Int. Wiss. Kolloquium*. Ilmenau (Germany), Sept. 27-30, 1994. Band 1, pp. 399-404.
2. A PC-based CAD System for Training Digital Test (R. Ubar, A. Buldas, P. Paomets, J. Raik, V. Tulit). *Proc. 5th EUROCHIP Workshop on VLSI Design Training*. Dresden, October 17-19, 1994, pp.152-157.
3. A CAD System for Teaching Digital Test (J. Raik, P. Paomets, E. Ivask, R. Ubar). *Proc. 4th Biennial Baltic Electronics Conference*. Tallinn, October 9-14, 1994.
4. Low-Cost CAD Software for Teaching Digital Test (R.Ubar, P.Paomets, J.Raik). *Proc. of the First European Workshop on Microelectronics Education*. Villard de Lans, France, February 5-6, 1996, p.48.

5. TURBO-TESTER. User's Guide (P.Paomets, J.Raik, R.Ubar). Õppematerjal, TTÜ, 1995, 52 lk.
6. TURBO-TESTER. Reference Manual (P.Paomets, J.Raik, R.Ubar). Õppematerjal, TTÜ, 1995, 90 lk.

2.3. Funktsionaalsete testide süntees mikroprotsessoritele

Töötati välja alternatiivsetel graafidel põhinev üldistatud (universaalne) rikete mudel digitaalsüsteemide diagnostikaks ning algoritmid testiprogrammide automaatseks sünteesiks kitsamale digitaalsüsteemide klassile - käitumuslikult kirjeldatud mikroprotsessorsüsteemidele. Töötati välja programmide kompleks FTGEN testiprogrammide automaatseks kompileerimiseks sümboltestvektoritest ja käsitsi ettevalmistatud testfreimidest. Uue diagnostika programmipaketi kasutamine võimaldab keskmise keerukusega mikroprotsessorile sünteesida testiprogrammi paari nädala jooksul (võrdluseks, veel hiljaaegu kulus selleks terve aasta).

Uue väljatöötatud lähenemismeetodi ja algoritmide kompleksil on terve rida eeliseid võrreldes seni tuntud meetoditega. Kõrgtaseme kasutamine objekti kirjeldamisel teeb testiprogrammide sünteesi tulemuse sõltumatuks objekti konkreetsest realisatsioonist transistortasemel. Eriti oluline on see mikroprotsessorsüsteemide puhul, kus sellised andmed tarbijal tavaliselt puuduvad ja tema kasutada on üksnes kasutusmanuaalid. Lähteandmete esitus on grupeeritud, kusjuures andmete kirjeldamisel on töö jaotatud eri kompetentsusetasanditele: disainer (objekti tundja) peab kirjeldama objekti, testimissüsteemi programmeerija peab kirjeldama vajalikke testfreime kasutada oleva testi programmeerimiskeeles ja testinsener (diagnostikaspetsialist) peab kirjeldama üksikute komponentide testimiseks vaja minevaid lokaalseid teste. Kogu ettevalmistatud info baasil sünteesitakse FTGEN-i abil automaatselt testiprogramm.

Tähtsamad publikatsioonid:

1. Alternative Graph Based Test Design in Digital Systems. Invited paper. (R.Ubar). Proc. of 11. NORCHIP Seminar, Trondheim, Nov. 9-10, pp.48-62 1993.
2. FTGEN - A System for Functional Test Generation (R.Ubar, J.Dushina, V.Zaugarov, E.Krupnova, S.Storozhev). Proceedings of CAD-93: New Information Technologies for Science, Education and Business. Yalta, May 4-13, 1993, pp.123-125 (in Russian).
3. Test Generation System for Microprocessors (R.Ubar, J.Dushina, V.Zaugarov, E.Krupnova, S.Storozhev). Proceedings of Int. Conf. "Technical Diagnostics - 93", St.-Peterburg, June 8 - 10, 1993, pp.87-89 (in Russian).
4. Functional Test Program Generation for Digital Systems (R.Ubar, J.Dushina, H.Krupnova, S.Storozhev, V.Zaugarov). Proc. of the 6. Workshop "Testmethoden und Zuverlässigkeit von Schaltungen und Systemen", Vaals (Niederlande), March 6-8, pp. 14-18, 1994.
5. Constraints Analysis in Hierarchical Test Generation for Digital Systems (H. Krupnova, R. Ubar). Proc. 4th Biennial Baltic Electronics Conference. Tallinn, October 9-14, 1994.
6. Hierarchical Test Generation for Finite State Machines (M. Brik, R. Ubar). Proc. 4th Biennial Baltic Electronics Conference. Tallinn, October 9-14, 1994.

2.4. Digitaalsüsteemide rikete diagnostika

Käesolevas projekti tulemusena on välja töötatud uus alternatiivsetel graafidel põhinev hierarhiline rikete diagnoosimise meetod suurte integraalsete skeemide jaoks. Alternatiivsed graafid võimaldavad kasutada diagnoosimiseks sama matemaatilist aparati, samu analüüsi

vahendeid ja universaalset rikete mudelit erinevate esitustasemetega jaoks. Selline lähenemine lubab rikete analüüsi teostada skeemi erinevatel abstraktsiooniastmetel täpselt sama moodi ja ühtlasi saab kõrgemal tasemel leitud diagnoositulemusi kergesti üle kanda madalamale tasemele edasiseks rikete "kandidaatide" hulga minimeerimiseks. See võimaldab hoida rikete "kandidaatide" keerukuse igal tasemel nii väikese kui võimalik. Rikete mudel, mis defineeritakse alternatiivsetel graafidel, jääb samaks skeemi iga kirjeldustaseme puhul, erinev on ainult mudeli interpretatsioon. Käesoleva töö põhieesmärk oli minimeerida rikete simuleerimise mahtu võrreldes traditsiooniliste meetoditega ja samuti minimeerida signaalide mõõtmiste arvu, mis on vajalik rikke täpse asukoha määramiseks.

Publikatsioonid:

1. Fault Diagnosis of VLSI Devices Using Alternative Graph Representation (R.Ubar). Proc. of The 8th Symposium on Microcomputer and Microprocessor Applications. Budapest, October 12-14, 1994, Volume I, pp.34-44.
2. Fault Diagnosis in Digital Devices (R.Ubar). *Proceedings of the Estonian Academy of Sciences, Engineering*, 1995, No. 1/1, pp.51-67.

2.5. Digitaalsüsteemide testitavuse hindamine funktsionaalsel tasandil

Töötati välja uus meetod digitaalsüsteemide testitavuse analüüsiks, mille originaalsus seisneb ühtse teooria ja matemaatilise aparatuuri kasutamises nii kombinatsiooniskeemide kui ka mikroprogrammautomaatide analüüsil. On välja töötatud testitavuse hindamise algoritmid, mis on kergesti modifitseeritavad eri kriteeriumide järgi arvutamiseks.

Publikatsioonid:

1. Functional Level Testability Analysis for Digital Circuits (R.Ubar, K.Kuchcinski). Proc. of ETC'93, Rotterdam, April 19-22, 1993, pp.545-546.
2. Algorithms of Functional Level Testability Analysis for Digital Circuits. (R.Ubar, K.Kuchcinski). *Periodica Polytechnica Ser.Electrical Engineering*, Vol., No., pp.1-16, 1993.

2.6. Tulemuste kasutamisest

1. Täiendati diagnostikasüsteemi TURBO-TESTER rea uute algoritmide ja programmidega rikete analüüsi ja simuleerimise valdkonnast rikete klassi laiendamise eesmärgil.

Publikatsioon:

1. TURBO TESTER. A Set of Software Tools for CAD of Test for Digital Circuits (R.Ubar, V.Tulit, A.Buldas, M.Saarepera). Proc. of IV EUROCHIP Workshop on VLSI Design Training, Toledo, Sept.30-Oct.2, pp. 396, 1993.
2. Diagnostikasüsteemi TURBO-TESTER baasil töötati välja uus kursus digitaalsüsteemide projekteerimise ja diagnostika õpetamiseks TTÜs. Süsteemi ja kursust demonstreeriti Rahvusvahelisel IV EUROCHIP'i konverentsil Toledos 1-2. sept. 1993.

Publikatsioon:

1. Laboratory Course for Training "Digital Design and Test" (R.Ubar, V.Tulit, A.Buldas, M.Saarepera). Proc. of EUROCHIP Workshop on VLSI Design Training, Toledo, Sept.30-Oct.2, 1993.

3. Koostöös firmaga DIGSIM DATA AB (Rootsi, Linköping) on saavutatud järgmised rakendustulemused:

- firma poolt läbiviidavatel elektroonikainseneride täiendõppekursustel Rootsis on võetud kasutusele TTÜ juures väljatöötatud diagnostikasüsteem TURBO-TESTER;
- pariteetsuse põhimõttel kasutatakse omakorda TTÜs firmas DIGSIM DATA loodud disainisüsteemi DIXI CAD, mille tegelik litsentside koguhind moodustab 1,1 milj kr (kokkuhoidu nimetatud summa ulatuses tuleks käsitleda kui käesolevast tööst saadud majanduslikku tulu, mis ületab saadud granti 13-kordselt).

3. KOKKUVÕTE

3.1. Töö põhitulemused

1. Käesolevas projektis on välja töötatud ning edasi arendatud uut alternatiivsete graafide kontseptsiooni digitaalsüsteemide diagnostikas.
2. On välja töötatud universaalne rikete mudel digitaalsüsteemide eri kirjeldustasemetega jaoks ning universaalsed testide sünteesi, analüüsi ja rikete diagnostika algoritmid digitaalsüsteemide jaoks.
3. Välja töötatud meetodite praktilise rakendusena on loodud programmide pakett TURBO-TESTER testide automaatseks projekteerimiseks digitaalskeemidele. Paketti kasutatakse TTÜs digitaalsüsteemide projekteerimise ja diagnostika alaste ainete õpetamisel. Tarkvara on kasutatud ka reas ülikoolides Soomes, Rootsis ja Inglismaal, USA Michigani Ülikooli tudengite õpetamisel ning hetkel on ta juurutamisel veel Slovakkia ja Bulgaaria ülikoolides.
4. On välja töötatud diagnostikatarkvara FTGEN mikroprotsessorisüsteemide testprogrammide automaatseks genereerimiseks.

3.2. Kvalifikatsiooni tõstmine

Loetletud uuringute raames on 1993. a. kaitstud 4 magistritööd:

- 2.1. Ahto Buldas. "Digitaalskeemide simuleerimise algebraliste meetodite analüüs".
- 2.2. Helena Krupnova. "Mudeli süntees VHDL keelest funktsionaalsete testide generaatorile".
- 2.3. Julia Dushina. "Mikroprotsessorisüsteemide testprogrammide sünteesi automatiseerimine".
- 2.4. Viktor Zaugarov. "Sümboliline testide genereerimine hierarhilistele digitaalsüsteemidele".

3.3. Publikatsioonide nimekiri

1. FTGEN - A System for Functional Test Generation (R.Ubar, J.Dushina, V.Zaugarov, E.Krupnova, S.Storozhev). Proceedings of CAD-93: New Information Technologies for Science, Education and Business. Yalta May 4-13, 1993, pp.123-125 (in Russian).
2. Functional Level Testability Analysis for Digital Circuits (R.Ubar, K.Kuchcinski). Proc. of European Test Conference ETC'93, Rotterdam, April 19-22, 1993, pp.545-546.
3. Test Generation System for Microprocessors (R.Ubar, J.Dushina, V.Zaugarov, E.Krupnova, S.Storozhev). Proc. of Int. Conf. "Technical Diagnostics-93", St.-Peterburg, June 8-10, 1993, pp.87-89 (in Russian).

4. Laboratory Course for Training "Digital Design and Test" (R.Ubar, V.Tulit, A.Buldas, M.Saarepera). Proc.of IV EUROCHIP Workshop on VLSI Design Training, Toledo, Sept.30-Oct.2, pp. 112-117, 1993.
5. TURBO TESTER. A Set of Software Tools for CAD of Test for Digital Circuits (R.Ubar, V.Tulit, A.Buldas, M.Saarepera). Proc.of IV EUROCHIP Workshop on VLSI Design Training, Toledo, Sept.30-Oct.2, pp. 396, 1993.
6. Alternative Graph Based Test Design in Digital Systems. Invited paper. (R.Ubar). Proc. of the 11. NORCHIP Seminar, Trondheim (Norway), Nov. 9-10, pp.48-62, 1993.
7. Functional Test Program Generation for Digital Systems (R.Ubar, J.Dushina, H.Krupnova, S.Storozhev, V.Zaugarov). Proc. of the 6. Workshop "Testmethoden und Zuverlässigkeit von Schaltungen und Systemen", Vaals (Niederlande), March 6-8, pp. 14-18, 1994.
8. Book review (R.Ubar). Boundary-Scan Test. By H.Bleeker, P.Van Den Eijnden and F.De Jong. Kluwer Academic, Boston (1993). 225 pp. In Engineering applications of Artificial Intelligence. Pergamon Press Ltd. 1994.
9. Test Generation for Digital Systems Based on Alternative Graphs Theory. (R.Ubar). Lecture Notes in Computer Science No 852. Dependable Computing - EDCC-1. Springer-Verlag, 1994, pp.151-164.
10. Parallel Critical Path Tracing Fault Simulation (R. Ubar). Proc. of the 39. Int. Wiss. Kolloquium. Ilmenau (Germany), Sept. 27-30, 1994. Band 1, pp. 399-404.
11. Fault Diagnosis of VLSI Devices Using Alternative Graph Representation (R.Ubar). Proc. of The 8th Symposium on Microcomputer and Microprocessor Applications. Budapest, October 12-14, 1994, Volume I, pp.34-44.
12. A PC-based CAD System for Training Digital Test (R. Ubar, A. Buldas, P. Paomets, J. Raik, V. Tulit). Proc. 5th EUROCHIP Workshop on VLSI Design Training. Dresden, October 17-19, 1994, pp.152-157.
13. Alternative Graphs as a Mathematical Tool and Knowledge Representation for Diagnosis Purposes in Digital Systems (R. Ubar). *Proc. 4th Biennial Baltic Electronics Conference*. Tallinn, October 9-14, 1994.
14. Constraints Analysis in Hierarchical Test Generation for Digital Systems (H. Krupnova, R. Ubar). *Proc. 4th Biennial Baltic Electronics Conference*. Tallinn, October 9-14, 1994.
15. Hierarchical Test Generation for Finite State Machines (M. Brik, R. Ubar). *Proc. 4th Biennial Baltic Electronics Conference*. Tallinn, October 9-14, 1994.
16. A CAD System for Teaching Digital Test (J. Raik, P. Paomets, E. Ivask, R. Ubar). *Proc. 4th Biennial Baltic Electronics Conference*. Tallinn, October 9-14, 1994.
17. Electronics Competence Centre at the Tallinn Technical University. (R.Ubar, K.Vainomaa). *Proc. 4th Biennial Baltic Electronics Conference*. Tallinn, October 9-14, 1994.
18. New Curricula and a Competence Centre through TEMPUS at the Technical University of Tallinn (M. Glesner, T. Hollstein, B. Courtois, P. Amblard, R. Ubar, K. Vainomaa). *Proc. EC Workshop on Design Methodologies for Microelectronics*, Smolenice, 1995, pp. 347-353.
19. Hierarchical Test Generation Based on Alternative Graph Model (R. Ubar). *Proc. of 2nd Workshop on Hierarchical Test Generation*, Duisburg, 1995.
20. Case Study in Testing Digital Systems. Invited paper (R. Ubar). *Baltic Electronics*, Vol. 1, No. 1, Sept. 1995, pp.24-27.
21. Fault Diagnosis in Digital Devices (R.Ubar). *Proceedings of the Estonian Academy of Sciences, Engineering*, 1995, No. 1/1, pp.51-67.
22. Electronics Competence Centre as a Result of European Projects at the Technical University of Tallinn (Ubar). *Baltic Electronics*, Vol. 1, No. 2, Dec., 1995, pp.9-11.

23. Hierarchical Test Synthesis for Digital Systems Using Alternative Graph Model. Dagstuhl-Seminar-Report 132, ISSN 0940-1121. Schloss Dagstuhl, 1995, pp.14-15.

Käsikirjalised õppematerjalid (hoitakse õppetoolis ja <http://www.pld.ttu.ee/ecc/>):

1. Digitaalsüsteemide testimine ja diagnostika (T. Evertson, R. Ubar). Õppematerjal, TTÜ, 1995, 128 lk. Maht: 6 AP.
2. Hästitestitavate süsteemide disain (T. Evertson, R. Ubar). Õppematerjal, TTÜ, 1995, 100 lk. Maht: 5 AP.
3. TURBO-TESTER. Backgrounder (P.Paomets, J.Raik, R.Ubar). Õppematerjal, TTÜ, 1995, 33 lk. Maht: 1,5 AP.
4. TURBO-TESTER. User's Guide (P.Paomets, J.Raik, R.Ubar). Õppematerjal, TTÜ, 1995, 52 lk. Maht: 2,5 AP.
5. TURBO-TESTER. Reference Manual (P.Paomets, J.Raik, R.Ubar). Õppematerjal, TTÜ, 1995, 90 lk. Maht: 4,5 AP.

3.4. Esinemised konverentsidel ning seminaridel

1. Functional Level Testability Analysis for Digital Circuits. European Test Conference ETC'93, Rotterdam (Netherlands), April 19-22, 1993.
2. FTGEN - A System for Functional Test Generation International Conference CAD-93: New Inform. Technologies. Yalta, Ukraine, May 4-13, 1993,
3. TURBO TESTER - A CAD System of Test Design for Digital Systems. International CAVE Workshop "CAD for VLSI in Europe", Holzgau, Germany, May 16-19, 1993.
4. Test Generation System for Microprocessors. International Conference "Technical Diagnostics - 93", St.-Peterburg, Russia, June 8-10, 1993.
5. Alternative Graphs and Digital Test Design. Seminar at Gesellschaft der Mathematik und Datenverarbeitung, St-Augustin, Germany, July 6, 1993.
6. Laboratory Course for Training "Digital Design and Test". EUROCHIP Workshop on VLSI Design Training, Toledo, Spain, Oct. 1, 1993.
7. TURBO TESTER. A Set of Software Tools for CAD of Test for Digital Circuits. EUROCHIP Workshop on VLSI Design Training, Toledo, Spain, Oct.1-2, 1993. Demonstration of the software package.
8. Hierarchical Test Generation for Digital Systems. Overview about the research. International EEMCN II Workshop, Tallinn, Oct. 11, 1993.
9. Alternative Graph Based Test Design in Digital Systems. Invited presentation. 11. NORCHIP Seminar, Trondheim, Norway, Nov. 9, 1993.
10. About the research at the Computer Engineering Department. Seminar at the Technical University of Denmark (Prof. O.Olesen), Kopenhagen, Danmark, Nov. 12. 1993.
11. About the research at the Computer Engineering Department. Seminar at the Technical University of Stockholm (Prof. H.Tenhunen), Stockholm, Sweden, Nov. 15. 1993.
12. Testsynthese, Testbarkeit und Diagnostik in Digitalschaltungen und -systemen. Seminar im Rahmen des Graduiertenkollegs. Techn. Hochschule Darmstadt, Germany, Dez. 10. 1993.
13. Functional Test Program Generation for Digital Systems. 6. Workshop "Testmethoden und Zuverlässigkeit von Schaltungen und Systemen" (R. Ubar), Vaals (Niederlande), March 7. 1994.

14. Automated test program synthesis for digital systems (R. Ubar). Seminar, TU Dresden (Germany), Mai 11, 1994.
15. Hierarchische Testmuster generierung für Finite-State-Machines (R. Ubar). Seminar, TH Darmstadt (Germany), June 23, 1994.
16. Parallel Critical Path Tracing Fault Simulation (R. Ubar). Proc. of the 39. Int. Wiss. Kolloquium. Ilmenau, Sept. 27-30, 1994.
17. Hierarchische Testmuster generierung für Finite-State-Machines (R. Ubar). Seminar, Fraunhofer Gesellschaft, Dresden (Germany), September 30, 1994.
18. Test Generation for Digital Systems Based on Alternative Graphs Theory (R. Ubar). First European Dependable Computing Conference, EDCC-1. Berlin, October 4-6, 1994.
19. Alternative Graphs as a Mathematical Tool and Knowledge Representation for Diagnosis Purposes in Digital Systems (R. Ubar). 4th Biennial Baltic Electronics Conference. Tallinn, October 9-14, 1994.
20. Hierarchical Test Generation for Digital Systems (**R. Ubar**, H. Krupnova, J. Dushina, M. Brik). II EEMCN Workshop. Bratislava, October 14-16, 1994.
21. A PC-based CAD System for Training Digital Test (**R. Ubar**, A. Buldas, P. Paomets, J. Raik, V. Tulit). Fifth EUROCHIP Workshop on VLSI Design Training. Dresden, October 17-19, 1994.
22. Constraints Analysis in Hierarchical Test Generation for Digital Systems (**H. Krupnova**, R. Ubar). Proc. 4th Biennial Baltic Electronics Conference. Tallinn, October 9-14, 1994.
23. Hierarchical Test Generation for Finite State Machines (**M. Brik**, R. Ubar). Proc. 4th Biennial Baltic Electronics Conference. Tallinn, October 9-14, 1994.
24. A CAD System for Teaching Digital Test (J. Raik, P. Paomets, E. Ivask, **R. Ubar**). Proc. 4th Biennial Baltic Electronics Conference. Tallinn, October 9-14, 1994.
25. Test generation for Control Faults in Digital Systems (M. Brik, **J. Dushina**). Proc. 4th Biennial Baltic Electronics Conference. Tallinn, October 9-14, 1994.
26. Hierarchical Test Generation for Digital Systems (**R. Ubar**, J. Raik). EC FUTEG'95 Workshop on Functional Test Generation and Diagnostics, Budapest, January 27-30, 1995.
27. Advanced Test Generation and Testable Design Methodology for Sequential Circuits (**R. Ubar**, J. Raik, P. Paomets, M. Brik, H. Krupnova). EC ATSEC Workshop, Paris, March 10, 1995.
28. Alternative Graphs and Test Design for Digital Systems (R. Ubar). Visiting lecture, Helsinki University of Technology, April 21, 1995.
29. Alternative Graph Models at Behavioral Level (**R. Ubar**, J. Raik, H. Krupnova). EC FUTEG Workshop, Kaunas, Sept. 1, 1995.
30. About the Research on the Field of ATPG at the Technical University of Tallinn (**R. Ubar**, K. Vainomaa). EC EEMCN Workshop, Kaunas, Sept. 2, 1995.
31. New Curricula and a Competence Centre through TEMPUS at the Technical University of Tallinn (M. Glesner, T. Hollstein, B. Courtois, P. Amblard, **R. Ubar**, K. Vainomaa). Workshop on Design Methodologies for Microelectronics, Smolenice, September 11-15, 1995.
32. Hierarchical Test Generation Based on Alternative Graph Model (R. Ubar). II Workshop on Hierarchical Test Generation. Duisburg, September 25-26, 1995.
33. Does Academy satisfy the needs of Industry? Panel speech (R. Ubar). II Workshop on Hierarchical Test Generation. Duisburg, September 25-26, 1995.
34. Alternative Graph Based Hierarchical Test Generation for Control/Data-Path Structured Designs (**R. Ubar**, J. Raik, G. Jervan, A. Markus, E. Ivask). EC ESPRIT'95 Workshop on

Test Generation and Testable Design for Integrated Circuits and Systems. St. Augustin, September 28-29, 1995.

35. Hierarchical Test Synthesis for Digital Systems (R.Ubar). Seminar at the Helsinki University of Technology, Helsinki, October 26, 1995.
36. Hierarchical Test Synthesis for Digital Systems Using Alternative Graph Model. (R. Ubar) International Workshop "Quantitative Aspects of Designing and Validating Dependable Computing Systems", Dagstuhl, November 13-17, 1995.

3.5. Projekti koordineeritus rahvusvaheliste programmidega

3.5.1. TEMPUS JEP 4772 "Digital System Design Based on PLD-Technology"

Teema algus: 1992

Teema lõpp: 1995

Vastutav täitja: prof. R. Ubar

Välispartnerid: Darmstadt Tehnikaülikool (Darmstadt, Saksamaa)
Grenoble'i Rahvuslik Polütehniline Instituut (Grenoble, Prantsusmaa)
Euroopa Liidu Assotsiatsioon EUROCHIP

Teema eesmärk: Elektroonika-alaste õppeprogrammide moderniseerimine ja uute struktuuriüksuste loomine ning väljaarendamine elektroonikaõppe kaasajastamiseks ja efektiivsuse tõstmiseks.

Põhitulemused: On välja töötatud või moderniseeritud neli uut õppekursust, on loodud ja sisustatud kaasaegse tehnikaga (10 SUN/PC töökohta, SUN 20/502 server ja SUN IPX tööjaam) ning tarkvaraga (SYNOPSIS, CADENCE, SOLO, HILO, XILINX) õppeklass ning projekti loogilisest arendustegevusest on välja kasvanud uue ülikooli struktuurse üksusena Elektroonika kompetentsuskeskus. Kolme aasta jooksul on projekti raames võimaldatud väliskomandeeringuid ja pika-ajalist väljaõpet üle 50-le Arvuti- ja süsteemitehnika teaduskonna õppejõule ning tudengile Saksamaa ja Prantsusmaa ülikoolides.

3.5.2. PECO JEP 7668 "East European Microelectronics Cooperation Network of Support and Competence Centres (EEMCN)"

"Ida-Euroopa Mikroelektronika Kompetentsuskeskuste Koostöövõrk"

Teema algus: 1994

Teema lõpp: 1996

Vastutav täitja: prof. R. Ubar

Välispartnerid: Fraunhofer Gesellschaft Institute of ICs (Dresden, Saksamaa)
Grenoble'i Rahvuslik Polütehniline Instituut (Grenoble, Prantsusmaa)
Microelectronics IME Ltd. (Sofia, Bulgaaria)
Slovak Technical University (Bratislava, Slovaki Vabariik)
Institute of Computer Sciences (Bratislava, Slovaki Vabariik)
Czech Technical University (Praha, Tšehhi Vabariik)
Technical University of Budapest (Budapest, Ungari)
Institute of Electron Technology (Varssavi, Poola)
Warsaw University of Technology (Varssavi, Poola)
Riia Elektroonika- ja Arvutustehnika Instituut (Riia, Läti)
Kaunase Tehnoloogia Ülikool (Kaunas, Leedu)

Teema eesmärk: Projekti eesmärgiks on spetsialiseeritud mikroelektroonika kompetentsuskeskuste võrgu välja arendamine ja infrastruktuuri ettevalmistamine ühisprojektide läbiviimiseks.

Põhitulemused: Kahe rahvusvahelise workshop'i korraldamine Budapestis ja Kaunases 1995. aastal. Õppetoolis läbi viidud uurimistöö tulemusi on kasutatud partnerite ühisuuringutes ja võetud aluseks uute ühisprojektide 1996. a. ettepanekute väljatöötamisel (programmi COPERNICUS raames). On käivitatud mitmeid ühisaktsioone õppeprogrammide täiustamiseks partner-ülikoolides. TTÜs välja töötatud tarkvarasüsteem TURBO-TESTER on võetud juurutamisele Slovaki Tehnikaülikoolis Bratislavas.

3.5.3. COPERNICUS JEP 9624 "Functional Test Generation and Diagnosis (FUTEG)"

“Funktsionaalsete testide genereerimine ja diagnostika”

Teema algus: 1994

Teema lõpp: 1997

Vastutav täitja: prof. R. Ubar

Välispartnerid: Fraunhofer Gesellschaft Institute of ICs (Dresden, Saksamaa)
Grenoble'i Rahvuslik Polütehniline Instituut (Grenoble, Prantsusmaa)
Institute of Computer Sciences (Bratislava, Slovaki Vabariik)
Technical University of Budapest (Budapest, Ungari)
Kaunase Tehnoloogia Ülikool (Kaunas, Leedu)
Eesti TA Küberneetika Instituut (EKTA)

Teema eesmärk: Projekti eesmärgiks on läbi viia ühisuuringuid digitaalsüsteemide diagnostika uute meetodite ja tarkvara väljatöötamiseks. TTÜ ülesandeks on luua algoritmid ja programmid diagnostikamudelite sünteesi ja kõrgtaseme funktsionaalsete testide genereerimiseks.

Põhitulemused: On loodud algoritmid ja tarkvara digitaalsüsteemide diagnostikamudelite sünteesiks kõrgtaseme spetsifikatsioonidest, lähtudes rahvusvaheliseks standardiks kujunenud VHDL projekteerimiskeelest. On läbi viidud rida eksperimente, mis on tõestanud algoritmide ja meetodite efektiivsust.

Arenguperspektiivid: Lähtumine rahvusvahelisest standardist VHDL on loonud võimaluse integreerida TTÜ-s saadud tulemusi diagnostika valdkonnast üldlevinud disaini süsteemidega (näiteks, SYNT, SYNOPSIS jt.). Seega on loodud baas vastavasisulisteks uuringuteks tulevikus.

3.5.4. ESPRIT III BRA-6575 “Advanced Test Generation and Testable Design Methodology for Sequential Circuits”

“Mäluga skeemide testide genereerimise ja testitavuse sünteesi metodoloogia”

Teema algus: 1994

Teema lõpp: 1996

Vastutav täitja: prof. R. Ubar

Välispartnerid: GMD (St. Augustin, Saksamaa)
Technische Universität Duisburg (Saksamaa)
Politecnico di Torino (Itaalia)
University of Montpellier (Prantsusmaa)
University of Twente (Holland)

Institute of Computer Sciences (Bratislava, Slovaki Vabariik)

Teema eesmärk: Uurida võimalusi hierarhilise testide generaatori loomiseks digitaalsüsteemidele, toetudes TTÜ-s välja arendatud alternatiivsete graafide kontseptsioonile. Ehitada katseline generaator ja läbi viia eksperimentaalsed uuringud.

Põhitulemused: On loodud kõrgtaseme ja madala taseme diagnostikamudelid, vastavate tasemete testide genereerimise meetodid ja ideoloogia, kuidas neid teste integreerida. Läbiviidud eksperimendid on kinnitanud uute meetodite efektiivsust. Töö tulemused on saanud projekti partnerite ning retsensentide käest väga head hinnangud.

3.5.5. ESPRIT Action EUROCHIP

Teema algus: 1994

Teema lõpp: 1996

Vastutav täitja: prof. R. Ubar

Teema eesmärk: Professionaalse disaini tarkvara evitamine Eestis

Põhitulemused: Tarkvarasüsteemide SYNOPSIS, CADENCE, SOLO, HILO, XILINX hankimine ja installeerimine Tallinna Tehnikaülikoolis.

Hinnang: on loodud võimalus TTÜ-s kasutada nii õppe- kui ka teadustöös kaasaegset professionaalset disaini tarkvara, mille väärtust hetkel võib hinnata suuremaks kui 10-15 miljonit krooni (seejuures pole selle tarkvara hankimisel kasutatud Eesti riigi ja Tehnikaülikooli riigieelarvelisi rahalisi vahendeid).

3.5.6. ESPRIT Action EUROPRACTICE

Teema algus: 1995

Vastutav täitja: prof. R. Ubar

Teema eesmärk: Professionaalse disaini tarkvara evitamine Eestis

Arenguperspektiivid: Professionaalse disaini tarkvara CADENCE, SYNOPSIS, XILINX it. kasutamine õppeprotsessis, uute süsteemide hankimine väga soodsatel tingimustel; õppetöös disainitud integraalskeemide valmistamine Euroopas väga soodsatel tingimustel.

4. LISA

4.1. Uuringutulemuste publitseerimine (koopiad)

1. Laboratory Course for Training "Digital Design and Test" (R.Ubar, V.Tulit, A.Buldas, M.Saarepera). Proc.of IV EUROCHIP Workshop on VLSI Design Training, Toledo, Sept.30-Oct.2, pp. 112-117, 1993.
2. TURBO TESTER. A Set of Software Tools for CAD of Test for Digital Circuits (R.Ubar, V.Tulit, A.Buldas, M.Saarepera). Proc.of IV EUROCHIP Workshop on VLSI Design Training, Toledo, Sept.30-Oct.2, pp. 396, 1993.
3. Alternative Graph Based Test Design in Digital Systems. Invited paper. (R.Ubar). Proc. of the 11. NORCHIP Seminar, Trondheim (Norway), Nov. 9-10, pp.48-62, 1993.
4. Functional Level Testability Analysis for Digital Circuits (R. Ubar, K. Kuchcinski). European Test Conference, Rotterdam, April 19-22, 1993, pp. 545-546.
5. Parallel Critical Path Tracing Fault Simulation (R. Ubar). Proc. of the 39. Int. Wiss. Kolloquium. Ilmenau (Germany), Sept. 27-30, 1994. Band 1, pp. 399-404.
6. Test Generation for Digital Systems Based on Alternative Graphs Theory. (R.Ubar). Lecture Notes in Computer Science No 852. Dependable Computing - EDCC-1. Springer-Verlag, 1994, pp.151-164.
7. A PC-based CAD System for Training Digital Test (R. Ubar, A. Buldas, P. Paomets, J. Raik, V. Tulit). Proc. 5th EUROCHIP Workshop on VLSI Design Training. Dresden, October 17-19, 1994, pp.152-157.
8. Alternative Graphs as a Mathematical Tool and Knowledge Representation for Diagnosis Purposes in Digital Systems (R. Ubar). *Proc. 4th Biennial Baltic Electronics Conference*. Tallinn, October 9-14, 1994, pp. 285-292.
9. Constraints Analysis in Hierarchical Test Generation for Digital Systems (H. Krupnova, R. Ubar). *Proc. 4th Biennial Baltic Electronics Conference*. Tallinn, October 9-14, 1994, pp. 313-318.
10. Hierarchical Test Generation for Finite State Machines (M. Brik, R. Ubar). *Proc. 4th Biennial Baltic Electronics Conference*. Tallinn, October 9-14, 1994, pp. 319-324.
11. Test Generation for Control Faults in Digital Systems (J. Dushina, M. Brik). *Proc. 4th Biennial Baltic Electronics Conference*. Tallinn, October 9-14, 1994, pp. 325-330.
12. New Curricula and a Competence Centre through TEMPUS at the Technical University of Tallinn (M. Glesner, T. Hollstein, B. Courtois, P. Amblard, R. Ubar, K. Vainomaa). *Proc. EC Workshop on Design Methodologies for Microelectronics*, Smolenice, 1995, pp. 347-353.
13. Fault Diagnosis in Digital Devices (R.Ubar). *Proceedings of the Estonian Academy of Sciences, Engineering*, 1995, No. 1/1, pp.51-67.
14. Case Study in Testing Digital Systems. Invited paper (R. Ubar). *Baltic Electronics*, Vol. 1, No. 1, Sept. 1995, pp.24-27.

