

Eesti Teaduste Akadeemia

**Uued meetodid digitaalsüsteemide
diagnostikas**

**UURIJA-PROFESSORI TÖÖARUANNE
2003 - 2005**

Raimund Ubar

**Tallinna Tehnikaülikool
2006**

Sisukord

1. Uuringute üldine taust	2
1.1. Teadusvaldkonnast ja uurimisprobleemi aktuaalsusest	2
1.2. Seniste meetodite kriitiline ülevaade ning uurimistöö eesmärgid	3
2. Uued teadustulemused ja nende struktuur	6
2.1. Käsitletud probleemide valdkonnad	6
2.2. Uued mudelid	7
2.3. Uued meetodid	8
2.4. Uued tööriistad	10
3. Uurimistöö tulemuste lühikirjeldused	11
3.1. Otsustusdiagrammide teooria	11
3.2. Rikete funktsionaalne mudel	14
3.3. Defekt-orienteeritud digitaalskeemide testide generaator	18
3.4. Hierarhiline digitaalsüsteemide testide genereerimine	21
3.5. Testide analüüsi meetodid	24
3.5.1. Digitaalsüsteemide rikete simuleerimine ja diagnostika	24
3.5.2. Rikete simuleerimise kiirendi rekonfigureeritava loogika baasil	28
3.6. Süsteemide isetestimine	29
3.6.1. Isetestimise optimeerimismeetodid	29
3.6.2. Funktsionaalne isetestimine	31
3.7. Kiipvõrkude testimine	32
3.8. Teadusuuringute multifunktsionaalne keskkond	36
3.9. E-õppe weebi põhine laboratoorne keskkond	39
4. Uurimistöös osalenud kollektiiv	43
5. Uurimistöö seotus rahvusvahelise koostööga	44
6. Uurimistöö seotus tööstusega	49
7. Tulemuste uudsus, tähtsus ning levitamine	50
8. Finantsaruanne	54
9. Publikatsioonide loetelu	56
10. Uurimistöö jätkumisest	61
11. Kokkuvõtteks	63

Lisa:

Tähtsamate publikatsioonide koopiad

1. Uuringute üldine taust

1.1. Uurimisvaldkonnast ja uurimisprobleemi aktuaalsusest

Digitaalelektronika disain ja diagnostika on valdkond, kus toimub tormiline areng kogu maailmas. Submikron-tehnoloogia ning juba käivitunud investeeringud nanotehnoloogiasse elektronikas võimaldavad inseneridel luua üha keerukamaid mikrokiipe. *Kiipsüsteemid (System-on-Chip)* ja *kiipvõrgud (Network-on-Chip)* on kujunemas põhiliseks tehnoloogiliseks paradigmat mikroelektronikas. Süsteemide keerukuse kasvuga seondub disainimeetodite kiire uuenemine ning vastava tarkvara jätkuv arendamine.

Digitaaltehnik, mikro- ja nanoelektronika kiire areng on meie elu kardinaalselt muutnud - teinud inimtegevuse väga produktiivseks, samas aga muutnud inimese äärmiselt sõltuvaks tehissüsteemidest. Mida rohkem intellektuaalseid funktsioone läheb üle inimeselt süsteemidele (arvutitele), seda enam sõltuvaks muutub inimene süsteemide kvaliteedist ja veakindlusest. Märkame seda sõltuvust alles siis, kui tehnika tõrgub. Seetõttu on digitaalsüsteemide efektiivsuse kõrval isegi olulisemaks muutunud niisugused kriteeriumid nagu veakindlus ja kvaliteet.

Kui Moore'i seaduse järgi tehnoloogilise baasi võimsus kasvab 60% aastas, siis projekteerimisvahendite produktiivsuse kasv on vaid 20%, aga diagnostikavahendite areng jääb veelgi rohkem maha. Just seetõttu ongi digitaalsüsteemide disain ja test muutunud äärmiselt oluliseks teadusprobleemiks, kus eesmärkideks on uute meetodite väljatöötamine disaini produktiivsuse tõstmiseks ja testimise ning diagnostika kiiruse, täpsuse ja kvaliteedi tõstmiseks süsteemide üha kasvava keerukuse juures.

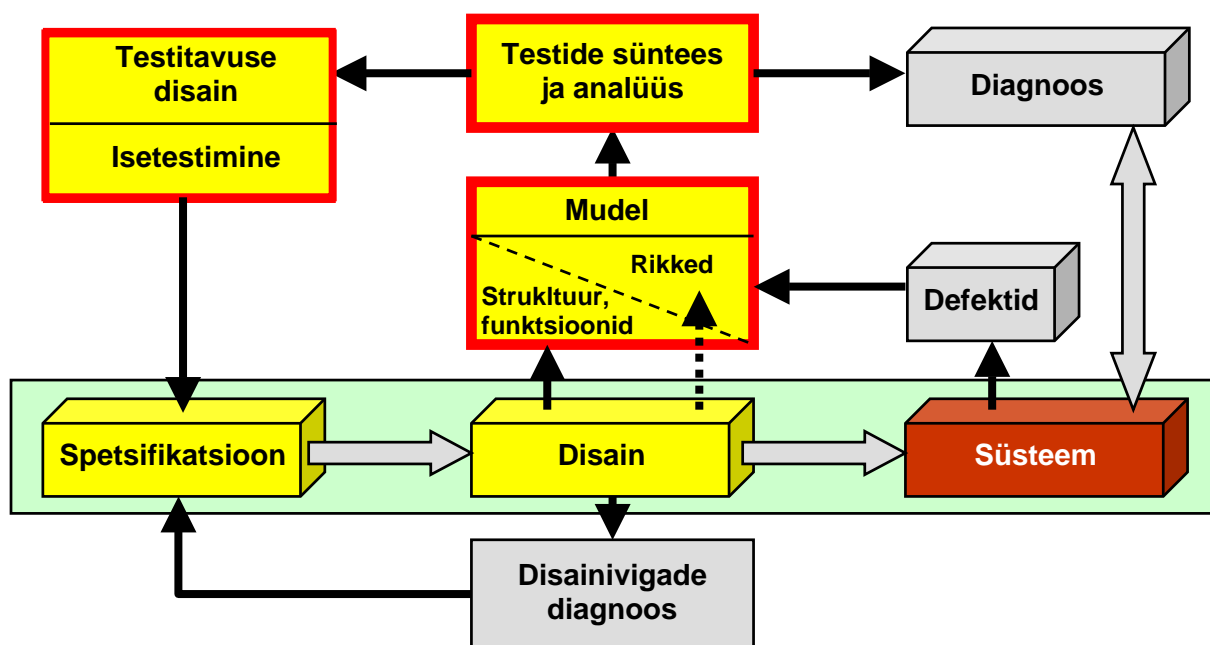
Integratsiooni kasv elektronikas põhjustab üha tõsisemaid probleeme toodete kvaliteedi tagamisel nii projekterimise kui ka testimise aspektist. Ühelt poolt oleks vaja aina suuremat täpsust füüsikaliste defektide käsitlemisel, teiselt poolt aga muutub täpsuse taotlemine üha raskemaks süsteemide keerukuse kasvu tõttu. On saanud selgeks, et kaasaegsete submikron-tehnoloogiate puhul keeruliste kiipsüsteemide vajalikku kvaliteeti pole enam võimalik saavutada seniste klassikaliste meetoditega.

Digitaalsüsteemide kvaliteedi tagamise vahendiks on diagnostika, mis haarab enda alla niisugused valdkonnad nagu testide süntees ja analüüs, rikete modelleerimine, simuleerimine ja lokaliseerimine, testitavuse mõõtmine ja projekteerimine, süsteemide isetestimine, veakindlus jne. Nimetatud ülesannete lahendamise efektiivsus ja kvaliteet sõltuvad kasutatavatest matemaatilistest meetoditest ja mudelitest. Traditsiooniliste mudelite ning nendel põhinevate meetodite efektiivsus näitab kahanemise tendentsi süsteemide keerukuse kasvades. Paljudel juhtudel on insenerilahendused teooriast ees, puuduvad vajalikud üldistused ja formaalne baas probleemide lahendamise automatiseerimiseks. Nii näiteks pole suudetud senini töötada välja meetodeid testide sünteesi automatiseerimiseks keerulistele järjestikskeemidele. *Skaneerimisteede kontseptsiooni*¹ (scan-path)¹ abil probleemi taandamine kombinatsiooniskeemide testimisele on vaid hädaabinõu ega taga ikkagi vajalikku testimise kvaliteeti.

¹ I.A.Grout. Integrated Circuit Test Engineering. Modern Techniques. Springer Verlag, 2006, 362 p.

Nimetatud põhjustel toimub digitaalsüsteemide diagnostika vallas väga kiire areng uute matemaatiliste mudelite väljatöötamisel, nende omaduste ja rakendusvõimaluste uurimisel ning uute diagnostika-meetodite, algoritmide ja tarkvara väljatöötamisel. See on valdkond, kus peaaegu iga teadusülikool maailmas on tegev ja kus valitseb ääretult pingeline konkurents. Mainekatele konverentsidele pääsevad üksnes “võitjad” – ettekande vastuvõtmise eelduseks on uue meetodi paremuse tõestamine seni tuntud ja teiste võistlevate meetodite kõrval. Nii näiteks möödunud aastal Tallinnas korraldatud valdkonna ülemaailmsel esinduskonverentsil European Test Symposium hindas igat artiklit 7 retsensenti ning vastu võeti vaid iga viies ettekanne (seejuures vastuvõetud 31 ettekande hulka pääses kaks käesoleva aruande koostajalt).

On teadusvaldkondi, mis arenevad rahulikumalt ja “demokraatlikumalt”, kus on palju läbi uurimata alasid ja leiab kergemini nišše oma originaalse “kivi” asetamiseks “teadusemüüri”. Antud valdkonna arengut iseloomustab aga äärmiselt konkurentsitihe võistlus eeskätt parimate “kivide” välja sorteerimiseks. Areng on pidev, aasta-vanune tulemus on sageli lootusetult aegunud. Nii uurimisobjekt kui ka uurimisvahendid (tarkvaratööriistad) on pidevas muutumises, komplitseerudes ja täiustudes pidevalt. Arvestades ülaltoodut, on juba üksnes konkurentsis püsimine selles valdkonnas märkimist vääriv tulemus.



Joonis 1. Uurimisvaldkonna üldpilt

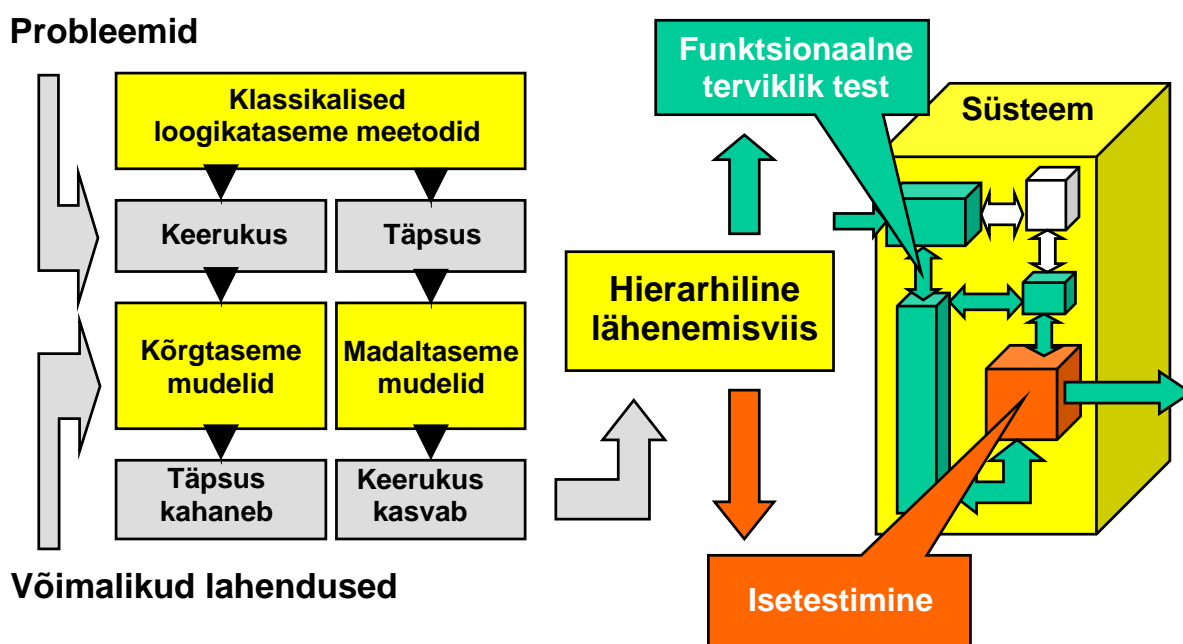
Joonisel 1 on esitatud uurimisvaldkonna üldpilt. Digitaalsüsteemi loomisprotsess koosneb kolmest etapist: spetsifikatsioon, disain ja valmistamine (tootmine). Kvaliteedi tagamiseks kasutatakse testimist ja diagnoosi. Käesoleva töö põhitemaatika on testide süntees ja analüüs. Nende ülesannete lahendamise efektiivsus sõltub kasutatavatest mudelitest, aga ka süsteemi testitavuse omadustest ja isetestimise võimalustest, mis olid samuti uurimisprobleemideks käesolevas töös.

1.2. Seniste meetodite kriitiline ülevaade ning uurimistöö motivatsioon

Käesoleva uurimistöö põhimärksõnadeks on *digitaalsüsteemid* ja *test*. Testide efektiivsus (kvaliteet, sünteesi või analüüsi kiirus, testi pikkus, testi hind) on olulises sõltuvuses sellest, kuidas toimub digitaalsüsteemi diagnostiline modelleerimine. Traditsioonilised nn. “madala” ehk loogikatasandi mudelid keerukamate digitaalsüsteemide puhul on kaotamas oma praktilist

tähtsust. Seda nii ebapiisava täpsuse kui ka üha kasvava keerukuse tõttu. “Kõrgemate” tasandite (funktsionaalsed ja käitumuslikud) mudelid on võitmas populaarsust nende kiirema testide sünteesi võimaluse tõttu², ehkki nende mudelite puhul sünteesitavate testide täpsus ja kvaliteet reeglina vähenevad³.

Kompromisslahenduseks testide sünteesi kiirust ja kvaliteeti silmas pidades on hierarhilised meetodid⁴ (vt. joonis 2). Hierarhiliste meetodite eelised seisnevad võimaluses ühtaegu “ületada keerukust” s.t. suurendada sünteesi ja analüüsi kiirust, lahendades näiteks rikete leviprobleeme efektiivselt kõrgemal tasandil, kui ka tõsta tulemuste täpsust, käsitledes näiteks defekte detailsemalt madalamatel tasanditel. Hierarhiliste meetodite arendustöö on aga algusjärgus vastavate üldistavate teooriate puudumise tõttu, mis käsitleksid ühtsete meetoditega nii kõrgtaseme kui ka madala taseme diagnostikat.



Joonis 2. Uurimisprobleemid ja lahendushüpoteesid

Samas on aga rikete modelleerimine fundamentaalne probleem, sest sellest sõltub kõik järgnev: kuidas sünteesida kvaliteetseid testprogramme, kuidas analüüsida adekvaatselt testide kvaliteeti, kuidas projekteerida usaldusväärseid isetestivaid digitaalsüsteeme. Traditsiooniline testimiskontseptsioon, mis eeldab välistestrite kasutamist, asendub üha rohkem uue paradigmaga, kus süsteeme projekteeritakse nii, et nad oleksid võimelised ennast ise testima. Isetestivad süsteemid on valdkond, mis areneb täna väga kiiresti. Kuid ka siin sõltuvad tulemused rikete modelleerimise täpsusest ja efektiivsusest.

Käesoleva uurimuse eesmärgiks oligi arendada edasi hierarhilist lähenemisviisi ja meetodeid digitaalsüsteemide testide sünteesiks ning analüüsiks võttes aluseks uudse otsustusdiagrammidel põhineva diagnostilise modelleerimise kontseptsiooni.

Traditsiooniliselt on digitaalsüsteemide eri tasanditel kasutatud eri mudeleid ning matemaatilisi

² High Time for High-Level Test Generation. Panel at *Int. Test Conference*, Atlantic City, USA, 1999, pp.1112-1119.

³ M.B. Santos, F.M. Goncalves, I.C.Teixeira, J.P. Teixeira. RTL-based Functional Test Generation for High Defects Coverage in Digital SOCs. *IEEE European Test Workshop*, Cascais, Portugal, May 2000.

⁴ J.L.Huang et. al. A Hierarchical Test Scheme for System-on-Chip Designs. *IEEE Design Automation and Test in Europe DATE*, Paris, March 4-8, 2002, pp.486-490.

vahendeid nagu Boole'i algebra, Boole'i differentsiaalrvutus, lõplike automaatide teooria, andmevoo-graafid, binaarotsustusdiagrammid, register-edastus-taseme keeled, Petri võrgud jne. Ühtne teooria, nagu Boole'i algebra loogikaskeemide jaoks, hierarhiliste süsteemide diagnostika tarvis aga puudub. Struktuursete otsustusdiagrammide kasutusele võtt meie laboris on olnud määravaks sammuks sellise teooria loomise suunas. Uus lähenemisviis teeb võimalikuks mitmete seni lahendamata ülesannete korrektse formuleerimise, uurimise ja lahendusteede leidmise.

Käesolevas uurimuses arendati edasi **otsustusdiagrammide teooriat** terviklikkuse suunas võimaldades ühtse graafitopoloogia analüüsi kasutamist nii binaarsete kui ka kõrgtaseme otsustusdiagrammide jaoks, luues niiviisi ühtse lähenemisviisi digitaalsüsteemide diagnostikaks süsteemide eri esitustasanditel.

Traditsioonilised meetodid kasutavad süsteemide modelleerimisel *konstantse loogikarikke "stuck-at-fault"* mudelit, mis ei suuda aga kahjuks garanteerida kvaliteetset testimist tänapäevaste tehnoloogiate puhul⁵. Mudel ei esita adekvaatselt reaalseid füüsikalisi defekte. Seda fakti on ennegi märganud, kuid praktikas teadlikult ignoreeritud probleemi keerukuse tõttu.

Samas on aga füüsikaliste defektide modelleerimine fundamentaalne probleem, sest sellest sõltub kõik järgnev: kuidas sünteesida kvaliteetseid testprogramme, kuidas analüüsida adekvaatselt testide kvaliteeti, kuidas projekteerida usaldusväärseid isetestivaid digitaalsüsteeme.

Käesoleva uurimuse eesmärgiks oli välja töötada **uus universaalne rikete mudel** – nn. funktsionaalse rikke mudel, mis võimaldab ületada traditsioonilise konstantse loogikarikke mudeli puudusi ja käsitleda adekvaatselt suvalisi füüsikalisi defekte. Keerukuse probleem ületatakse funktsionaalse rikke mudeli puhul rikete hierarhilise käsitluse teel, mis on samuti uudne idee.

Traditsiooniline testimise kontseptsioon, mis eeldab välistestrite kasutamist, asendub tänapäeval üha rohkem uue paradigmaga, kus süsteeme projekteeritakse nii, et nad oleksid võimelised ennast ise testima⁶. Isetestivad süsteemid on valdkond, mis areneb praegu äärmiselt kiiresti. Kuid ka siin sõltuvad tulemused rikete modelleerimise täpsusest ja efektiivsusest. Seni praktikas kasutusel olevad isetestimismeetodid on arenenud kompromissina aparatuurse ökonoomsuse ja testimise kvaliteedi vahel. Puuduvad aga efektiivsed optimeerimismeetodid, mis võimaldaksid minimeerida aparatuuri, testimisaega või võimsustarvet etteantud kitsendustel, tagades ühtlasi maksimaalset testimiskvaliteeti. Otsitakse pingeliselt uusi efektiivseid isetestimise arhitektuure.

Käesoleva uurimuse eesmärgiks oli välja töötada efektiivsete optimeerimismeetodite kompleks **isetestivate süsteemide** projekteerimiseks. Meetodid võimaldavad genereerida nn. hübriidseid isetestivaid süsteeme ning optimeerida neis realiseeruvaid testimisprotsesse.

Isetestimine realiseerub digitaalsüsteemides harilikult komponentide tasemel (vt. joonis 2). Aga see, et komponendid on eraldi testitud ei taga veel, et kogu süsteem tervikuna töötaks veatult. Süsteemi kui terviku **funktsionaalsete testide** automaatse sünteesi jaoks tänapäeval vahendid puuduvad.

Käesoleva uurimuse eesmärgiks oli samuti välja töötada testide sünteesi ja analüüsi meetodid, mis võimaldavad automatiseerida keeruliste digitaalsüsteemide funktsionaalsete testide genereerimist. Kommertsvahendid eksisteerivad täna üksnes kombinatsiooniskeemide testide automaatseks sünteesiks. Võimaluse skeemide klassi laiendamiseks annab uue otsustusdiagrammidel põhineva diagnostikamudeli kasutuselevõtt, mis tagab ühtse lähenemise digitaalsüsteemide eri tasandite käsitlemiseks ja võimaldab üldistada loogikatasandi algoritme kõrgematele tasanditele.

⁵ M.Sachdev. Defect Oriented Testing for CMOS Analog and Digital Circuits. *Kluwer Acad. Publishers*, 1998, 306 p.

⁶ R.Rajsuman. System-on-a-Chip. Design and Test. *Artech House*, Boston, London, 2000, 277 p.

2. Uued teadustulemused ja nende struktuur

2.1. Käsitletud probleemide valdkonnad

Käesoleva uurimistöö põhieesmärgiks oli edasi arendada digitaalsüsteemide diagnostika teooriat, luua uut tüüpi matemaatilisi mudeleid, ning töötada uuendatud teoreetilise baasi alusel välja efektiivseid meetodeid, algoritme ja tarkvaratööriistu defekt-orienteeritud testide sünteesiks ja analüüsiks digitaalsüsteemides.

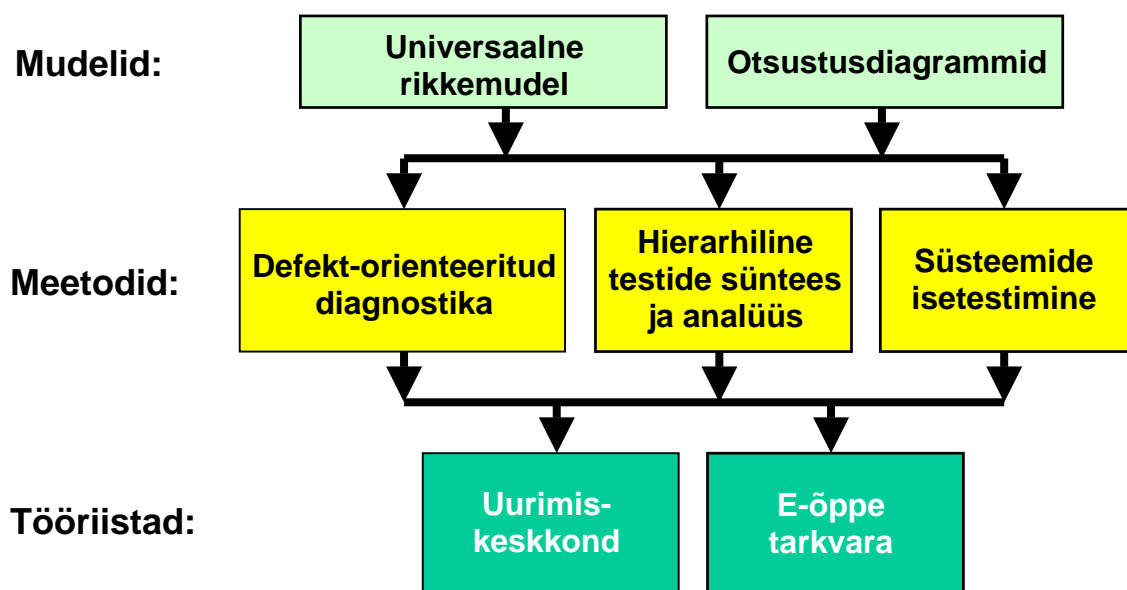
Eesmärgiks oli anda oma panus konfliktsituatsiooni lahendamisele digitaalsüsteemide diagnostikas: leida viis, kuidas parandada testimise ja diagnostika kvaliteeti süsteemide üha kasvava keerukuse tingimustes. Traditsioonilised loogikataseme mudelid digitaalsüsteemide puhul on kaotamas oma praktilist tähtsust. Seda nii ebapiisava täpsuse kui ka keerukuse tõttu. Situatsioon on olemuselt vastuoluline. Sest täpsuse suurendamine loogikataseme rikkemudeli asendamisega transistortaseme defektimudeliga tähendaks keerukuse veelgi suuremat kasvu. Teiselt poolt aga, loogikatasemel simuleerimise asendamine kõrgtaseme operaatoritega tähendaks jällegi rikete simuleerimise täpsuse langust.

Väljapääsuks oleks hierarhiline lähenemisviis. Hierarhiliste meetodite arendustöö selles valdkonnas on aga alles algusjärgus ning vastavad üldistavad teooriad puuduvad.

Käesolevas uurimuses töötati välja digitaalsüsteemide **hierarhilise diagnostika universaalkontseptsioon**, mille aluseks sai uus rikete funktsionaalne mudel, mis sisuliselt tähendab meetodit diagnostilise info kujutamiseks ühelt abstraktselt hierarhiatasandilt kõrgemale naabertasandile. Alumisel tasandil defineeritakse rike struktuurselt, ülemisel – funktsionaalselt, teatava kitsendusega.

Rikete ühtne definitsioon uue mudeli näol suvalise tasandi jaoks võimaldab rakendada universaalseid diagnostikameetodeid eri tasandite jaoks, mis teeb süsteemide diagnostika transparentseks ja kergemini automatiseeritavaks.

Aastatel 2003-2005 läbi viidud uurimistöö toimus küllaltki laias diapsoonis, hõlmates tervet rida probleeme digitaalsüsteemide testide sünteesi ja analüüsi valdkonnast. Käsitletud probleemide valdkonnad on esitatud kokkuvõtlikult joonisel 3.



Joonis 3. Käsitletud probleemide valdkonnad

Uuritud probleemid võib jagada kolme gruppi:

- uute matemaatiliste **modelite** välja töötamine digitaalsüsteemide efektiivsemaks ja täpsemaks diagnostiliseks modelleerimiseks;
- uute **meetodite ja algoritmide** välja töötamine testide efektiivsemaks sünteesiks ja analüüsiks ning testprotseduuride optimeerimiseks;
- uute riist- ja tarkvaraliste **tööriistade** välja töötamine digitaalsüsteemide diagnostikaülesannete lahendamise automatiseerimiseks.

Uurimistöö väljundiks on:

- teoreetilised uuendused Boole'i differentsiaalalgebra rakendustes ja otsustusdiagrammide teoorias;
- uued efektiivsemad mudelid ja meetodid digitaalsüsteemide diagnostiliseks modelleerimiseks, testide sünteesiks ja analüüsiks, mis paremini vastavad üha edasi areneva elektroonika tehnoloogilise baasi nõuetele;
- uued efektiivsemad diagnostika-alased tööriistad, mis põhinevad uudsel defektide käsitlusel ning sellest tulenevatel uutel meetoditel ja algoritmidel.

2.1. Uued mudelid

Süsteemide diagnostiliseks modelleerimiseks on vaja kolme mudelikontseptsiooni: funktsioonide, struktuuri ja rikete mudeleid. Harilikult vaadeldakse neid kolme aspekti eraldi, mis tähendab süsteemi esitamist paljude eri modelite abil, mistõttu keerukate hierarhiliste süsteemide testide süntees ja analüüs muutuvad keerukaks ning kohmakaks.

Nii näiteks kasutatakse traditsiooniliselt digitaalsüsteemide eri tasanditel eri mudeleid ning matemaatilisi vahendeid nagu Boole'i algebra, Boole'i differentsiaalarvutus, lõplike automaatide teooria, andmevoo-graafid, binaarotsustusdiagrammid, register-edastus-taseme keeled, Petri võrgud jne. Ühtne teooria, taoline nagu Boole'i algebra loogikataseme skeemide jaoks, hierarhiliste mitmetasandiliste süsteemide diagnostika tarvis aga puudub.

Käesoleva töö tulemuste põhiline teaduslik tähtsus seisnebki uue teoreetilise meetodi toomises digitaalsüsteemide diagnostika valdkonda, mis seisneb süsteemide diagnostilises modelleerimises otsustusdiagrammide abil. Uus modelleerimise meetod võimaldab ühitada ühesainsas mudelis nii funktsioone, struktuuri kui ka rikete käsitlust.

Erinevalt hästi tuntud binaarsetest otsustusdiagrammidest (BOD), mis võimaldavad vaid loogikafunktsioone modelleerida, on loodud kolm olulist uuendust:

- töötati välja uus meetod nn. struktuursete BOD-de sünteesiks (**SSBOD – struktuurselt sünteesitud BOD**), mis võimaldavad adekvaatselt esitada lisaks loogikaskeemi (digitaalskeemi) funktsioonidele ka tema struktuuri;
- üldistati BOD mudelit digitaalsüsteemide esitamiseks kõrgetasandi **otsustusdiagrammide (OD)** abil loogikatasandist kõrgematel abstraktsioonitasanditel nagu registersiirete tasand, käsusüsteemide tasand, käitumuslik tasand;
- töötati välja uus **otsustusdiagrammidel (OD) põhinev rikkemudel**, mis on seotud OD tippudega, nii nagu konstantrikete mudel on seotud Boole'i muutujatega, kuid on üldisem, sest on rakendatav ka loogikatasandist kõrgematel abstraktsioonitasanditel.

Struktuursete otsustusdiagrammide kasutusele võtmine meie poolt on oluliseks sammuks digitaalsüsteemide diagnostika üldise teooria loomise suunas. Uus lähenemisviis teeb võimalikuks mitmete seni lahendamata ülesannete korrektse formuleerimise, uurimise ja

lahendusteede leidmise.

Otsustusdiagrammide teooria on praegusel hetkel kasutatav loogikataseme ja sellest kõrgemate tasandite jaoks. Füüsikalisi defekte on aga vaja modelleerida loogikatasemest allpool – transistoride ja nende paigutuse tasanditel. Suure keerukuse tõttu on transistoriskeemide reaalseid füüsikalisi defekte seni suudetud käsitleda vaid suhteliselt väikeste digitaalskeemide puhul.

Käesolevas töös loodi uus rikete modelleerimise süsteemne kontseptsioon mille aluseks sai nn. **funktsionaalne rikkemudel** füüsikaliste defektide matemaatiliseks kujutamiseks loogikatasandile. Uue kontseptsiooni põhimomendiks on: taandada senine globaalselt käsitletud defektide analüüsi ülesanne lokaalsete alamülesannete hulgaks ja töötada välja meetod lokaalsete lahenduste integreerimiseks. Meetodi risk seisneb teatava täpsuse kaotamise võimaluses alamülesannete piiridel, aga õnneks areneb tehnoloogia just selles suunas, et see risk peaks vähenema. Pealegi, senine globaaltehnika on nii või teisiti end juba ammendanud üha keerukamaks muutuvate süsteemide puhul.

Uue mudeli tähtsus kujunes aga töö käigus palju laiemaks,

- võimaldades üldistada rikete kujutamist madalamalt tasandilt kõrgemale üldse, sõltumata vaadeldavast tasandite paarist, ning
- võimaldades efektiivselt realiseerida hierarhilist diagnostika kontseptsiooni otsustusdiagrammide mudelit kasutades.

Tähtsamad tulemused uute mudelite osas võiks formuleerida järgnevalt:

- struktuurselt sünteesitud binaarotsustusdiagrammide (SSBOD-mudeli) formaalne defineerimine ja oluliste omaduste avastamine ning formuleerimine [3,4,54];
- SSBOD mudeli optimeerimismeetodi välja töötamine [50];
- BOD mudeli üldistamine kasutamiseks digitaalsüsteemide kõrgematel abstraktsiooni tasanditel [10,14,15,20,36,52,64];
- füüsikaliste defektide modelleerimine Boole'i diferentsiaalvõrrandite abil ja efektiivse meetodi välja töötamine defektide kujutamiseks füüsikaliselt tasandilt loogikatasandile [18,64,87];
- funktsionaalse rikke kontseptsiooni kui eri hierarhiatasandite universaalmudeli välja töötamine [55,71,89].

2.2. Uued meetodid

Uute mudelite (SSBOD, DD ja funktsionaalne rikkemudel) baasil töötati välja rida uusi efektiivseid meetodeid digitaalsüsteemide testide sünteesiks ning analüüsiks.

Uurimistöö kandvaks mõtteks kujunes universaalkontseptsiooni välja arendamine keerukate digitaalsüsteemide hierarhiliseks diagnostikaks. Kontseptsioon baseerub otsustusdiagrammide kasutamisel süsteemide diagnostiliseks modelleerimiseks ja uuel funktsionaalsel rikkemudelil. Nimetatud mudelit kasutades töötati välja meetodite ja algoritmide kompleks digitaalsüsteemide testide sünteesiks ja analüüsiks.

Testide sünteesi osas olid uuringud suunatud järgmistele probleemidele:

- defekt-orienteeritud testide genereerimine digitaalskeemidele;
- hierarhiline testide genereerimine keerukatele digitaalsüsteemidele;
- hübriidsete isetestimisprotseduuride optimeerimine.

Defekt-orienteeritud testigeneraatori loomine võimaldas esmakordselt maailmas määrata ning tõestada defektide liiasust, mis võimaldab täpsemini hinnata testide kvaliteeti. Hierarhiline testigeneraator võimaldab sünteesida automaatselt testprogramme keeruliste digitaalsüsteemide

jaoks, mille taoline käesoleval ajal diagnostika tööriistade kommertsturul puudub. Uued testitavuse mõõtmise ja analüüsi algoritmid võimaldasid generaatori töökiirust märgatavalt tõsta. Võrreldes generaatorit teadaolevate ülikoolides väljatöötatud generaatoritega, osutus meie generaator märgatavalt kiiremaks. Kuna hübriidne isetestimine on alles arenev uus kontseptsioon, siis õnnestus siin oma panus esitada uute optimeerimismeetodite näol testimise aja minimeerimiseks etteantud kitsendustele riistvarale, mälule ja võimsus- ning energiatarbele.

Testide analüüsi osas töötati välja järgmised uued meetodid:

- digitaalsüsteemide hierarhiline rikete analüüs;
- rekonfigureeritaval riistvaral põhinev kiirendi digitaalskeemide rikete analüüsiks;
- uus disainivigade diagnostikameetod, mis ei vaja vigade ilmutatud esitamist.

Toetudes avastatud SSBOD mudeli uutele omadustele õnnestus tõsta rikete simuleerimise algoritmide kiirust. BOD mudeli üldistamine kasutamiseks digitaalsüsteemide kõrgematel tasanditel võimaldas luua hierarhilise rikete simulaatori, mille kiirus on märgatavalt suurem traditsioonilisest loogikatasemel simuleerimisest. Spetsiaalse meetodi välja töötamine rikete modelleerimiseks rekonfigureeritava loogika abil võimaldas tõsta rikete simuleerimise kiirust kuni paar suurusjärku võrreldes tarkvaraliste simulaatoritega. BOD mudeli kasutamine võimaldas luua uue efektiivse hierarhilise meetodi disainivigade diagnoosimiseks. Meetodi originaalsus seisneb veamudeli kasutamisest loobumises, mis teeb meetodi märgatavalt üldisemaks, võrreldes seniste meetoditega, mis kasutavad kindlaid veamudeleid.

Tähtsamad tulemused uute meetodite osas võiks formuleerida järgnevalt:

- uuel funktsionaalse rikke kontseptsioonil põhinevad efektiivsemad algoritmid füüsikaliste defektide modelleerimiseks ja digitaalskeemide hierarhiliseks defekt-orienteeritud testide genereerimiseks [18,64,71];
- defekt-orienteeritud deterministliku testigeneraatori loomine, mille sarnane maailmas hetkel puudub [23,31,32];
- uus efektiivsem meetod hierarhiliseks testide genereerimiseks digitaalsüsteemidele, mis põhineb testitavuse mõõtude kasutamisel otsimisruumi kokku surumiseks ning võimaldab tõsta lahendusalgoritmide kiirust [1,18,62];
- uued meetodid kiipvõrkude kommunikatsiooniahelate testimiseks: skeemiline lahendus ja meetod testide autonoomseks genereerimiseks töökiirusel [27], ning meetod viiterikete ja ülekostvushäirete avastamiseks [38,39].
- uus kiirem meetod hierarhiliseks rikete simuleerimiseks digitaalsüsteemides, kus suurem kiirus on saavutatud tänu efektiivsemate algoritmide välja töötamisele otsustusdiagrammide analüüsiks [2,66,72];
- uus binaarsetel otsustusdiagrammidel põhinev meetod disainivigade diagnostikaks loogikaskeemides, mille originaalsuseks on veamudeli puudumine [8];
- rikete simuleerimise kiirendi rekonfigureeritava loogika baasil, mis võimaldas tõsta rikete simuleerimise kiirust kuni kaks suurusjärku [30,58];
- uus kiipsüsteemide hübriidne isetestimise kontseptsioon, kus traditsiooniline pseudojuhuslik testimine ühitatuna deterministlike testidega ja nn. “broadcasting” tüüpi paralleelse testimisparadigmaga võimaldas märgatavalt minimeerida testi pikkust sama rikete katte juures [29,59,74];
- uute optimeerimisalgoritmide väljatöötamine, mis võimaldavad tõsta isetestimise protsesside efektiivsust digitaalsüsteemides [17,40,42,73];
- uus efektiivne energiat säästev meetod digitaalsüsteemide isetestimiseks [5,22];

- uus hübriid-funktsionaalne digitaalsüsteemide isetestimismeetod, mis võimaldab kokku hoida testimisaega ning aparatuurseid kulutusi [24,48,81];

2.3. Uued tööriistad

Üheks oluliseks projekti väljundiks on teaduslike hüpoteeside testimiseks ja eksperimenteerimiseks mõeldud programmipakettide juurutamine nii ühtse teadusuuringute keskkonna kui ka õppetarkvarana laboratoorsete tööde läbi viimiseks. Koostöös Ilmenau Tehnikaülikooliga on viimaste aastate jooksul väljatöötatud internetil põhinev õpisüsteem digitaaltehnikas disaini ja testi õpetamiseks tehnikaülikoolides, mis on pakkunud elavat huvi rahvusvahelistel konverentsidel USAs. Java appletidel põhinev tarkvara võimaldab läbi viia nii õppejõu demonstratsioone loenguruumis, individuaalõpet ja -treeningut, mis ei sõltu ei ajast ega kohast, kui ka eksamineerida tudengeid.

Laboris välja töötatud diagnostikasüsteemi Turbo-Tester (TT) [14], mida pidevalt täiendatakse uute diagnostikatööriistade prototüüpidega (teadusuuringute kõrvalefekt), on juba kasutatud ligi 100-s erinevas ülikoolis ning uurimisasutuses enam kui 30 riigis. Turbo-Testri väärtus uuringute keskkonnana seisneb ühe ja sama probleemi uurimisvõimaluses mitmes dimensioonis: on võimalik varieerida skeemi keerukust (valides näiteks ventiilide või makrotasandi vahel), erinevaid rikete klasse ja erinevaid lahendusalgoritme.

Koostöös Varssavi Tehnikaülikooliga töötati välja spetsiaalne mikroskeem DEFSIM reaalsete defektide uurimiseks laboratooriumis koos vastava standiga ning tarkvaraga. Skeemi on sisse "monteeritud" ligi 200 erinevat defekti, mida on võimalik arvuti poolt juhitud skeemi dünaamiliselt "sisse installeerida" vastavalt uurija soovile.

DEFSIM-i keskkonda (kiip, stend, tarkvara) on soovitud kasutusele võtta ülikooliõppes praegustel andmetel vähemalt 50-s Euroopa ülikoolis. On töötatud välja DEFSIM-i serveri versioon, mis võimaldab nimetatud mikroskeemiga viia läbi testimiseksperimente virtuaalselt üle interneti. Niisugune diagnostika-alaste uuringute keskkond on hetkel unikaalne kogu maailmas.

Kokkuvõtlikult on alljärgnevalt loetletud tähtsamad perioodil 2003-2005 väljatöötatud tööriistad:

- TT defekt-orienteeritud deterministlik testigeneraator digitaalskeemidele,
- TT testide generaator järjestikiskeemidele,
- TT deduktiivne rikete analüsaator testide kvaliteedi hindamiseks kombinatsioon-skeemides,
- TT paralleelne rikete reversiivne analüsaator testide kvaliteedi hindamiseks loogika-keemides,
- applet digitaalskeemide diagnostikaülesannete lahendamiseks digitaalskeemide jaoks loogikatasandil⁷,
- applet digitaalskeemide diagnostikaülesannete lahendamiseks digitaalsüsteemide jaoks registersiirete tasandil⁸,
- applet digitaalsüsteemide projekteerimisstandardi *Boundary Scan* võimaluste uurimiseks⁹
- veebipõhine katsestend digitaalskeemide reaalsete füüsikaliste defektide toime ja käitumise uurimiseks¹⁰.

⁷ <http://www.pld.ttu.ee/applets/td/>

⁸ <http://www.pld.ttu.ee/applets/rtl/>

⁹ <http://www.pld.ttu.ee/applets/bs/>

¹⁰ <http://www.defsim.com/>

3. Uurimistöö tulemuste lühikirjeldused

3.1. Otsustusdiagrammide teooria

Klassikaliste Boole'i algebral põhinevate diagnostikameetodite puuduseks on see, et nad on kasutatavad üksnes digitaalsüsteemide abstraktse esituse loogikatasandil. Palju laiemaid võimalusi annab digitaalsüsteemide graafiline esitus *otsustusdiagrammide* (OD) kujul, kus kõik operatsioonid taanduvad graafi (otsustusdiagrammi *topoloogilisele analüüsile*). Otsustusdiagrammide erijuhuks on *binaarsed otsustusdiagrammid* (BOD).

Esmakordselt kirjeldas binaarseid otsustusdiagramme 1959. aastal C.Y.Lee¹¹ *binaarsete otsustusprogrammide* nime all. 1976. aastal kasutati esmakordselt BOD mudelit digitaalskeemide diagnostikas Tallinna Tehnikaülikoolis¹², tookord *alternatiivsete graafide* nime all. Tegelikult veel varemgi, kuna juba 1974. aastal kaitses oma diplomitöö BOD kasutamisest digitaalskeemide simuleerimise kiirendamiseks TTÜ-s Virve Vaher käesoleva aruande autori juhendamisel. Paar aastat hiljem võeti samad graafid kasutusele ka USAs *binaarsete otsustusdiagrammide* nime all¹³. Täna on BOD teooria väga laialt kasutatav ja väga kiiresti edasi arenev

Binaarsete otsustusdiagrammide töötlemiseks diagnostika aspektist on levinud kaks kontseptsiooni: otsustusdiagrammide manipuleerimine ehk loogikaoperatsioonide läbiviimine ja graafidel läbiviidav topoloogiline analüüs. Esimesel juhul ei välju me loogika algebra raamidest ja graafidega opereerimise meetodite üldistamine digitaalsüsteemide kõrgematele tasanditele pole võimalik (see on traditsiooniline vaade BOD-mudelile). Teisel juhul, kus graafidega töö baasiks on topoloogiline analüüs, on meetodite üldistamine loogikatasandilt kõrgematele tasanditele suhteliselt lihtne (niisugune on käesoleva uurimuse käsitlusviis).

Erinevalt tavalistest binaarsetest otsustusdiagrammidest kehtib SSBOD- mudeli jaoks järgmine omadus: igale tipule SSBOD mudelis, mis kirjeldab mingis ventiiltasandil esitatud kombinatsioonskeemis puukujulist alamskeemi, vastab üheselt mingi signaalitee selles alamskeemis [3]. Niisugune üksühene vastavus SSBOD tippude ja kombinatsioonskeemi signaaliteede vahel on käesolevas uurimuses edasi arendatud SSBOD mudeli unikaalne omadus, mis võimaldab mudelis (erinevalt BOD-st) ühitada nii funktsioonide, struktuuri kui ka rikete modelleerimist. Nimetatud omadus tuleneb otseselt SSBOD sünteesist superpositsiooni meetodil [50].

Üksühesest vastavusest graafitippude ja signaaliteede vahel originaalskeemis tuleneb ka veel üks teine fundamentaalne omadus. Nimelt võib kombinatsioonskeeme modelleerida diagnostika eesmärgil SSBOD-mudeli abil nii ventiilide kui ka kõrgemal makrode tasandil, kusjuures makroks võib olla suvaline osa skeemist (alamskeem). Erinevalt traditsioonilisest digitaalskeemide modelleerimisest ventiilide tasandil, kus iga ventiili tüübi esitamiseks on vajalik tema konkreetse mudeli hoidmine andmeteegis, SSBOD-de kasutamise puhul ei ole

¹¹ C.Y.Lee. Representation of Switching Circuits by Binary Decision Programs. *The Bell System Technical Journal*, July 1959, pp.985-999.

¹² R.Ubar. Test Generation for Digital Circuits with Alternative Graphs. *Proceedings of Tallinn Technical University No 409*, 1976, pp.75-81 (in Russian).

¹³ S.B. Akers. Functional Testing with Binary Decision Diagrams. *J. of Design Automation and Fault-Tolerant Computing*, Vol.2, Oct. 1978, pp.311-331.

selliste mudelteekide olemasolu üldsegi vajalik [14,15].

Kõige tähtsam tulemus otsustusdiagrammide kontseptsiooni loomisel seisneb aga selles, et diagnostilise analüüsi meetodeid, mis on välja töötatud SSBOD mudeli baasil loogikatasandit silmas pidades, on võimalik vahetult üldistada kõrgema tasandi otsustusdiagrammide (OD) mudeli jaoks digitaalsüsteemide kõrgemaid esitustasandeid silmas pidades [14,15].

Mudeli potentsiaalsete võimaluste paremaks väljaselgitamiseks alustasime koostööd TÜ matemaatikutega (Tombak, Peder), mis on osutunud päris viljakaks ja mida on kavas jätkata ka pikemas perspektiivis. Nimetatud koostöös töötasime välja SSBOD formaalse definitsiooni [54] ning efektiivse SSBOD optimeerimise algoritmi, mis arvestab signaalide statistikat ja võimaldab märgatavalt tõsta simuleerimiskiirust [50]. Koostöös Tomski teoreetikutega täiustasime struktuursetel binaarsetel otsustusdiagrammidel põhinevat mudelit loogikaskeemide struktuuri esitamiseks makrotasemel [3,4]. Avastasime rea uusi mudeli omadusi, mille praktiline tähtsus seisneb simuleerimise kiiruse tõstmises. Neid omadusi kasutasimegi rikete simuleerimise uute algoritmide väljatöötamisel testide kvaliteedi mõõtmise eesmärgil [2,96] ning uute testide genereerimise algoritmide välja töötamisel [23,31,32].

Otsustusdiagrammide teooria kasutamine on end seni hästi õigustanud ühtse lähenemisviisi väljatöötamisel digitaalsüsteemide diagnostiliseks modelleerimiseks eri hierarhiatasanditel.

Keerukate süsteemide diagnostika on keerukuse probleemidega hakkama saamiseks võimalik üksnes hierarhiliste meetoditega, kus süsteeme tuleb modelleerida erinevatel hierarhilistel käsitlustasanditel. Traditsiooniliste mitmetasandiliste meetodite puuduseks on erinevate modelleerimiskeelte ja mudelite kasutamise vajadus, mis teeb keeruliseks ja kohmakaks teisendused eri tasandite vahel. Üldine OD mudel võimaldas töötada välja ühtsed meetodid digitaalsüsteemide diagnostiliseks modelleerimiseks eri tasanditel.

Otsustusdiagrammi definitsioon:

Olgu digitaalsüsteem kirjeldatav funktsioonina $Y = F(X) = F(X_1, X_2, \dots, X_n)$, kus $X_j \in X$ on täisarvulised muutujad määramispiirkondadega $V(X_j)$, ning funktsioon F on esitatav kujul $F: V(X_1) * V(X_2) * \dots * V(X_n) \rightarrow V(Y)$, kus $V(Y)$ - on funktsiooni muutumispirkond ja $*$ - tähistab Descartes'i korrutist. Defineerime digitaalsüsteemi $y = F(X)$ esitavat otsustusdiagrammi (OD) üldjuhul kui orienteeritud tsükliteta graafi $G_Y = (M, X, \Gamma)$, kus $M = \{m\}$ on tippude hulk, $X = \{X_1, X_2, \dots, X_n\}$ on funktsiooni argumentide hulk, $X(m) \in X$ on muutuja, mis on vastavusse seotud tipuga m , ning $\Gamma(M, X)$ on funktsiooniga $Y = F(X)$ üheselt määratud relatsioon, kus $\Gamma(m, X(m))$ määrab tipu m järglase vastavalt tipumuutuja $X(m)$ määramispiirkonnale $V(X(m))$. Vektoriga X^* on graafis määratud liikumine tipust tippu. Igal tipul m on $|V(X(m))|$ väljuvat kaart ning vastavalt $k \leq |V(X(m))|$ naabrit m^e , $e \in V(X(m))$. Graafis on N terminaaltippu $m^{T,i}$, $i = 1, 2, \dots, N$, $N \geq 2$, märgenditega $x(m^{T,i})$, mis võivad olla konstandid, muutujad $X_j \in X$ või funktsionaalsed avaldised muutujatest $X_j \in X$.

Tipumuutuja $X(m)$ väärtus aktiveerib mingi tipu m väljundkaare. Mingi tee on graafis aktiveeritud siis, kui kõik seda teed moodustavad kaared on aktiveeritud. OD on aktiveeritud väärtusele $e \in V(Y)$ siis kui graafis on aktiveeritud tee algtipust (juurest) mingi terminalini m^T , nii et $X(m^T) = e$. Otsustusdiagramm $G_Y = (M, X, \Gamma)$ esitab funktsiooni $Y = F(X)$, siis ja ainult siis, kui iga vektori X^* jaoks, mis viib graafis terminaaltippu m^T , kehtib $F(X^*) = X(m^T)$.

Sõltuvalt digitaalsüsteemi klassist või süsteemi esitustasemest, me võime klassifitseerida eri tüüpi otsustusdiagramme erinevate muutujate ja tippude interpretatsioonidega. Binaarseid otsustusdiagramme võib vaadelda kui OD erijuhtu.

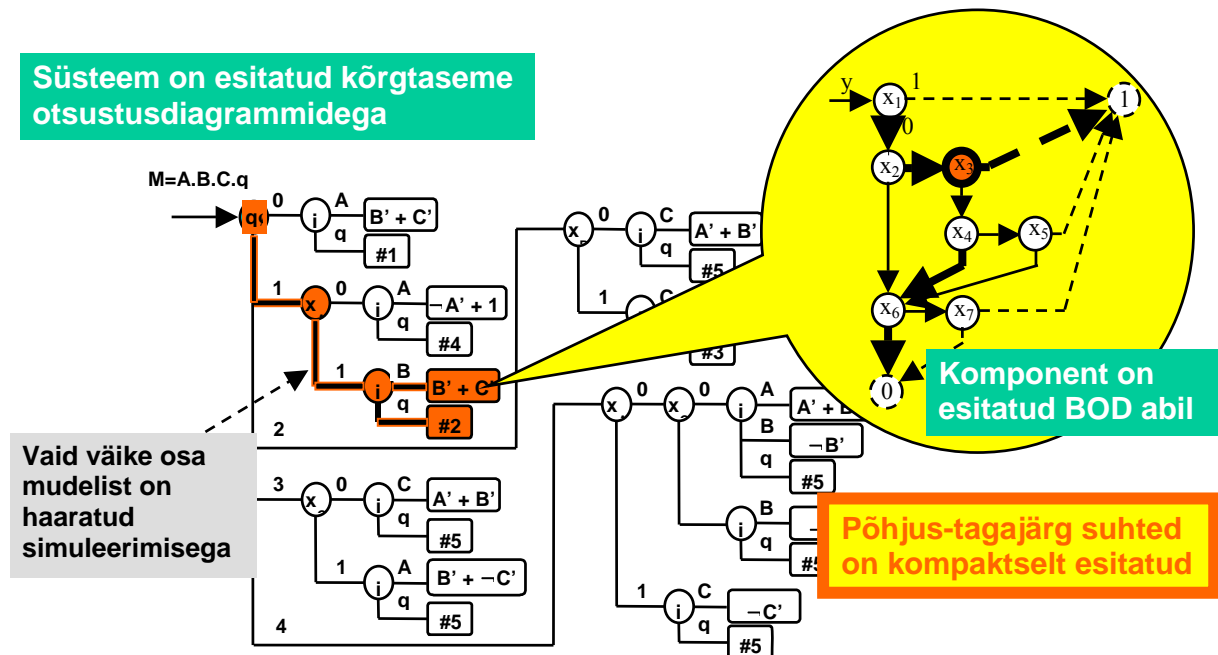
Töötasime välja mitmeid võimalusi OD mudeli kompaktsemaks esituseks, näiteks vektor-OD mudeli näol, mis võimaldas enamgi tõsta simuleerimise kiirust [10,36]. Kiiruse tõusu

põhjustab see, et vektor-OD mudeli puhul õnnestub paralleelselt modelleerida paljude eri komponentide funktsioone. Arendasime edasi otsustusdiagrammide kõrgtaseme mudelit eesmärgil lihtsustada ümberlülitumist eri tasandite vahel hierarhilisel simuleerimisel [14,15].

Oluliseks tulemuseks oli ka OD-mudelil põhineva universaalse rikkemudeli (tipu rikkemudeli) väljatöötamine ühtsena digitaalsüsteemide eri abstraktsioonitasandite jaoks. Otsustusdiagrammi tipurikke mudel võimaldab katta erinevaid rikete mudeleid süsteemi erinevatel abstraktsetel esitustasanditel. OD tipurikke füüsikaline sisu tuleneb sellest, millist konkreetset osa digitaalsüsteemist antud tipp modelleerib, milline sisuline tähendus on sellel tipul. Sõltuvalt digitaalsüsteemi või selle osa kirjeldamise detailsuse astmest otsustusdiagrammis sõltub ka tipurikke mudeli interpretatsioon ja detailsuse aste.

Näiteks SSBOD mudelis sisaldab tippu m rikkemudel kaks konstantset riket $\{x(m) \equiv 0 \text{ ja } x(m) \equiv 1\}$, millele vastab üks ekvivalentsete rikete klass SSBOD-ga modelleeritavas ventiiltaseme skeemis ehk traditsiooniline konstantse rikke mudel – konstant 1 ja konstant 0. Niisiis, digitaalskeeme esitav SSBOD mudel katab täielikult klassikalise ventiilskeemidele vastava konstantse rikke mudeli. Kui tipumuutujale $X(m)$ vastav määramispiirkond $V(X(m))$ sisaldab rohkem kui 2 väärtust, on ka selle tipuga m seotud võimalike rikete arv suurem. Neid võib loetleda, aga konkreetsete testide sünteesi ja analüüsi algoritmide puhul pole see tingimata vajalik – tippu testimine eeldab kontrolli, et kõik muutuja $X(m)$ väärtused toimivad mudelis õigesti.

Toetudes eelnevale, võime öelda, et OD tipurikke mudel on tegelikult klassikalise ventiiltaseme konstantse rikke mudeli üldistus digitaalsüsteemide kõrgtasandil esitatud kirjelduste jaoks. Kui konstantse rikke mudel toetub Boole'i algebrale ja Boole'i muutujatele ning pole kasutatav Boole'i algebrat välistavatel juhtudel, siis OD tipurikke mudel on kasutatav ühtsena nii ventiiltasandil kui ka digitaalsüsteemide kõrgemate tasandite mudelite puhul.



Joonis 4. Hierarhiline modelleerimine otsustusdiagrammide abil

Joonisel 4 on illustreeritud digitaalsüsteemi modelleerimine OD-mudeli ja SSBOD-mudeli abil. Vektorgraafi $M = A.B.C.q$ abil modelleeritakse süsteemi, mis koosneb juhtautomaadist ja operatsioonautomaadist. Juhtautomaati esitab olekumuutuja q ja andmeosa registerruutujad A, B ja C . Graafi abil on võimalik arvutada muutujate uusi väärtusi antud konkreetse takti (või tsükli) lõpuks. Registertaseme komponentide kirjeldamiseks madalamal loogikatasemel kasutatakse SSBOD mudelit (antud juhul on esitatud muutuja y graaf). OD mudeli kasutamise efekt seisneb selles, et reeglina simuleeritakse süsteemi käitumist vaid väikeses mudeli osas, mistõttu arvutamiskiirus on suurem, kui traditsiooniliste meetodite puhul. Näiteks joonisel 4 graafis $M = A.B.C.q$ on konkreetset takti simuleerimisega haaratud vaid tipud q, x, j ja 2 terminaaltippu $B+C$ ja #2 (nimetame seda graafi aktiveeritud osaks). Diagnostilisi operatsioone silmas pidades on graafis väga konkreetset esitatud põhjus-tagajärg suhted. Kui näiteks on avastatud tehte viga antud takti, siis vea põhjusi tuleb otsida muutujatest, mis asusid aktiveeritud graafi osas. Põhjus-tagajärg suhete ilmutatud esitus võimaldab tõsta diagnoosi kiirust.

Uued tulemused:

Kokkuvõtlikult võib tähtsamad uued tulemused OD-teooria valdkonnas formuleerida järgnevalt:

1. SSBOD mudeli üldistus OD-mudeli näol võimaldas välja töötada ühtse rikete mudeli nii loogika, registersiirete kui ka käitumuslike abstraktsioonitasandite jaoks, mis võimaldas välja arendada ühtseid meetodeid nii rikete simuleerimiseks kui ka testide analüüsiks ja sünteesiks [14,15,44,52,87].
2. SSBOD ja OD mudelite baasil töötati välja uued efektiivsed meetodid loogikatasandi rikete simuleerimiseks [2,11,72,96] ja testide genereerimiseks [3,4,14,15] ning hierarhiliseks rikete simuleerimiseks [19,52,66] ja hierarhiliseks testide genereerimiseks [1,20,44,83].

3.2. Rikete funktsionaalne mudel

Käesolevas uurimuses töötati välja uus digitaalsüsteemide rikete funktsionaalse modelleerimise kontseptsioon. Kontseptsiooni aluseks sai meetod kujutada reaalseid füüsikalise defekte digitaalskeemide transistorahelates kõrgemale loogikatasandile. Seejärel üldistasime meetodit rikete kujutamiseks digitaalsüsteemi suvaliselt abstraktse esituse tasandilt järgmisele kõrgemale tasandile.

Kontseptsiooni põhimomendiks on taandada senine globaalselt ja ühetasemeliselt käsitletud defektide ja rikete analüüsi ülesanne lokaalsete alamülesannete võrguks, võimaldades seejuures hõlpsat lokaallahenduste integreerimist.

Konkreetsemalt toetub uus rikete modelleerimise kontseptsioon järgmiste probleemide ahelale:

- füüsikaliste defektide analüüs ja karakteriseerimine üksnes skeemikomponentides ehk makrodes (mitte aga nagu tavaks on olnud tervete transistorskeemide ulatuses),
- komponentide teegi moodustamine ning teegielementide kirjelduste täiendamine defektide analüüsil saadud infoga (defektide mudeliga),
- teisendusmehhanismi väljatöötamine defektide kujutamiseks füüsikaliselt tasandilt loogika-tasandile nn. diagnostilise infona ja
- selle mehhanismi kasutamine digitaalskeemide defekt-orienteeritud rikete simuleerimisel ning testide genereerimisel kõrgematel abstraktsiooni-tasanditel.

Nimetatud teisendusmehhanismi aluseks on uus funktsionaalse rikete mudel: alumise taseme defekt teisendub kõrgema taseme funktsionaalseks anomaaliaks. Keerukas ning aegavõttev

defektide analüüs transistortasandil ja diagnostilise info genereerimine toimub üksainus kord komponentide teegi jaoks, kogu edasine töö realiseerub juba kõrgematel tasanditel, mis tagab algoritmide kõrge efektiivsuse tänu simulatsioonimudelite väiksemale keerukusele ja läbianaalüüsitud defektide info kompaktsusele.

Nimetatud defekt-orienteeritud lähenemisviisi aluseks sai hüpotees, et enamuse keerukama iseloomuga defekte (näiteks, lühised) leiab aset teegikomponentides, aga mitte nendevahelistes ühendustes¹⁴. Taoline hüpotees ei kehti aeguvate kahe metallkihiga CMOS tehnoloogiate puhul, kus marsruutimine (routing) toimub suure tihedusega ja rikete tõenäosused marsruutimisel on suured. Seega arendatav kontseptsioon poleks väga efektiivne aeguvate tehnoloogiate puhul. Küll aga osutub nimetatud eeldus realistlikuks kaasaegsete submikron-tehnoloogiate puhul, kus kahte metallkihti kasutatakse vaid komponentides, aga marsruutimine toimub suuremal arvul kihtidel. Nii muutub lühistüüpi defektide tõenäosus marsruutimisel tühiseks võrreldes tõenäosusega komponentides. Meetodi panus seisneb digitaalelektronika testimise kvaliteedi tõusus, aga ka protseduuride kiiruse kasvus. Pealegi on uus meetod suunatud homsetele tehnoloogiatele ja on seetõttu perspektiivne.

Kontseptsiooni matemaatiliseks aluseks sai defekte aktiveerivate signaali-vektorite arvutus Boole'i differentsiaalalgebra abil. Seni on seda meetodit kasutatud vaid konstantrikete analüüsil.

Olgu digitaalskeemi komponent C (teegi element) esitatud Boole'i funktsiooniga:

$$y = f(x_1, x_2, \dots, x_n).$$

Võtame formaalselt kasutusele uue Boole'i muutuja d vaadeldava füüsikalise defekti tähistamiseks antud komponendis. Olgu defektse komponendi funktsiooniks:

$$y = f^d(x_1, x_2, \dots, x_n).$$

Konstrueerime nüüd nn. üldistatud funktsiooni selle komponendi jaoks vaadeldava defekti d suhtes, mis sisaldab endas nii komponendi õiget kui ka defektset käitumist:

$$y^* = f^*(x_1, x_2, \dots, x_n, d) = \bar{d}f \vee df^d. \quad (1)$$

Differentsiaalvõrrandi

$$W^d = \frac{\partial y^*}{\partial d} = 1 \quad (2)$$

lahendid kirjeldavad nüüd tingimusi, millal defekt d on aktiveeritud väljundisse, s.t. muudab funktsiooni y väärtust. Teisiti interpreteerides võime öelda, et tingimus $W^d = 1$ võimaldab kujutada füüsikalist defekti d kõrgemale loogikatasandile. Ehk teisiti, kitsendus $W^d = 1$ määrab selle, kuidas tuleks füüsikalist defekti d aktiveerida kõrgemal loogikatasandil nii et ta leviks oma asukohast vaadeldavasse punkti y .

Paari (W^d, y) defineerimegi nüüd füüsikalise defekti d abstraktseks funktsionaalseks mudeliks, mis on vaba igasugustest defekti füüsikalise kirjelduse detailidest [71 (best paper award)].

Uus kontseptsioon võimaldab üheaegselt taotleda kahte näiliselt vastuolulist eesmärki: suurendada testide hindamise täpsust ja tõsta seejuures ka analüüsi kiirust võrreldes traditsiooniliste ühetasemeliste ventiilskeemide rikete simulaatoritega. Täpsus saavutatakse ventiiltasandilt füüsikalisele defektide tasandile laskumisega, efektiivsus (simuleerimise kiiruse tõus) aga - ventiiltasandilt kõrgemale register-siirete tasandile tõusmisega.

Boole'i diferentsiaalvõrrandi lahendamisel põhinev funktsionaalse rikke mudeli genereerimise

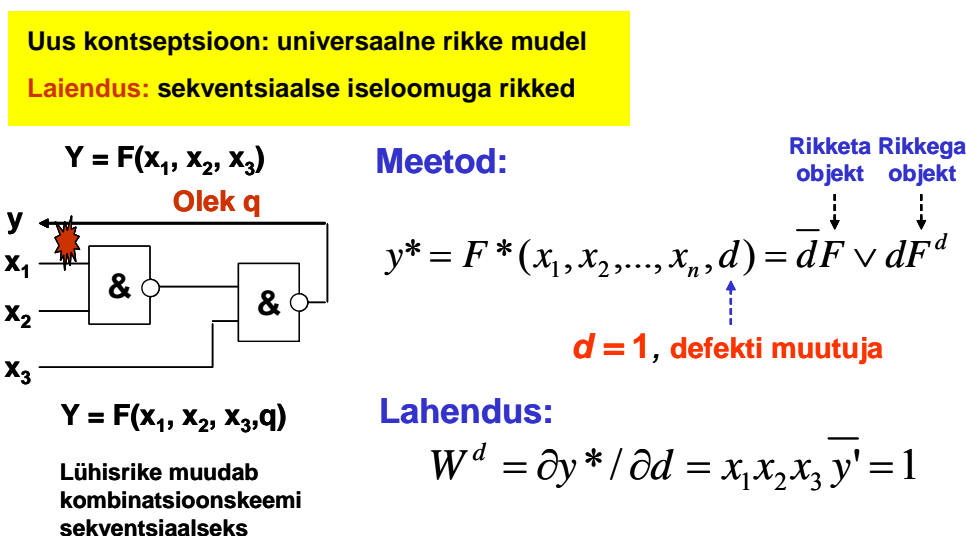
¹⁴ R.Ubar, W.Kuzmicz, W.Pleskacz, J.Raik. Defect-Oriented Fault Simulation and Test Generation in Digital Circuits. *Int. Symp. on Quality of Electronic Design*, San Jose, California, March 26-28, 2001, pp.365-371.

meetod võimaldas näidata, et mudel laieneb ka üldjuhule - sekventsiaalse iseloomuga rikete esitamiseks [23,71]. Probleemi pole varem üldistatud kujul käsitletud kirjanduses. Boole'i differentsiaalalgebra kasutamine võimaldas formaliseerida probleemi üldkujul ja digitaalskeemide diagnostilisel modelleerimisel ignoreerida uute olekute lisandumist.

Nimetatud tulemus võimaldas esmakordselt formaliseerida testide genereerimist rikete jaoks, mis suurendavad olekute arvu süsteemis ehk muudavad kvalitatiivselt skeemi klassi (näiteks kombinatsiooniskeemi mälu skeemiks).

Joonisel 5 on esitatud kahest loogikaelemendist koosnev kombinatsiooniskeem $y = f(x_1, x_2, x_3)$, mis lühise tõttu on muutunud mälu skeemiks ehk triggeriks $y = f(x_1, x_2, x_3, q)$. Boole'i diferentsiaalvõrandi $W^d = \partial y^* / \partial d = 1$ lahendamisel saame nüüd lahendina $x_1 x_2 x_3 \overline{y} = 1$ ühe vektori asemel (nagu see oleks olnud kombinatsiooniskeemi puhul) kahest vektorist koosneva jada (*prim* muutuja y juures tähendab y -i väärtust eelmisel ajahetkel) :

- vektor, mis asetab väärtuse $y = 0$.
- vektor $x_1 x_2 x_3 = 1$.



Joonis 5. Funktsionaalse rikkemudeli laiendus sekventsiaalse iseloomuga riketele

Edasine kontseptsiooni üldistus toimus vaadeldavate rikete hulga laiendamisel komponentide vahelisse kommunikatsiooniahelate võrku. Kogu rikete hulka esitame nüüd koosnevana kahest alamhulgast

$$W = W^F \cup W^S,$$

kus

- W^F - tähistab kõigi füüsikaliste defektide hulka skeemi komponentides (nn. funktsionaalsete rikete hulk), mis on esitatud komponentide teegi vahendusel ja
- W^S - tähistab kõigi füüsikaliste defektide hulka skeemi komponentide vahelises kommunikatsiooniahelate võrgus (nn. struktuursete rikete hulk), mis tuleb kindlaks teha integraalskeemi plaani (*layout*) eri analüüsi teel.

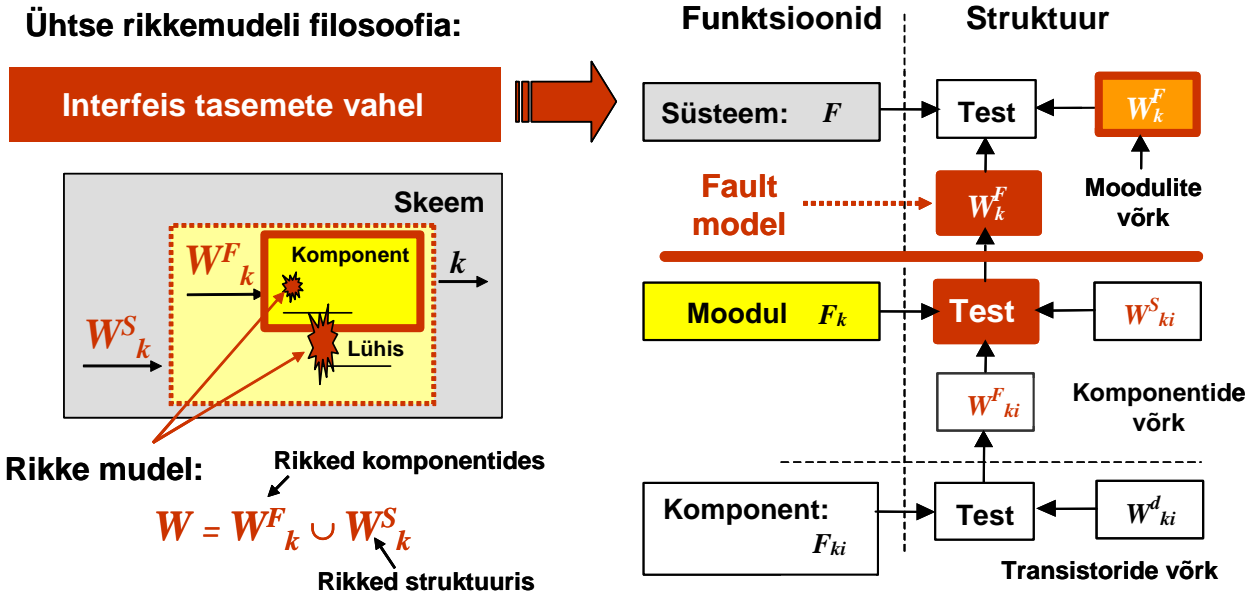
Joonise 6 vasakul pool on näite abil illustreeritud komponendiga k seotud rikete hulk

$$W = W_k^F \cup W_k^S,$$

ja vastavate füüsikaliste defektide (lühiste) asukohad digitaalskeemis (konkreetses komponendis ja tema lähiümbruse kommunikatsiooniahelate võrgus). Defektide avaldumiskohaks on

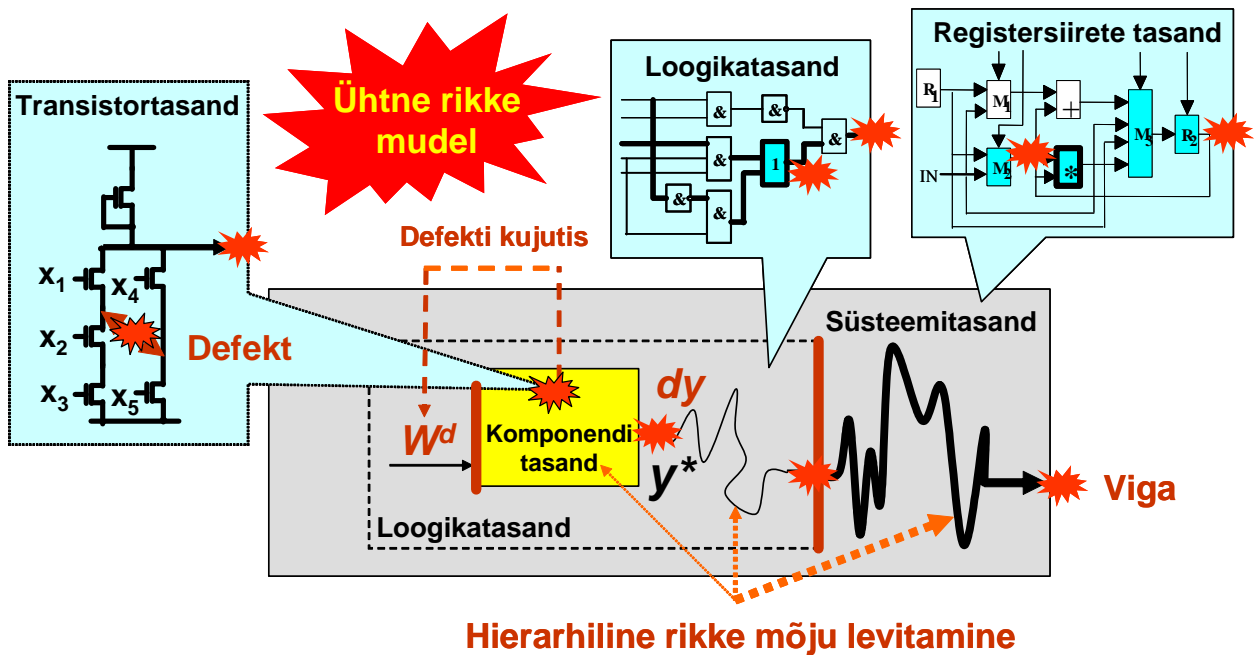
komponendi väljund k .

Eelpool kirjeldatud kontseptsiooni huvitavaks “kõrvaltulemuseks” sai sama põhimõtte üldistamine suvalise kahe kõrvutise hierarhiatasandi jaoks, mis andis võimaluse luua universaalne alus hierarhiliste ülesannete lahendamiseks digitaalsüsteemide diagnostikas.



Joonis 6. Funktsionaalse rikkemudeli üldistused digitaalsüsteemidele

Joonise 6 paremal poolel on esitatud niisugune üldistus. Vaatleme süsteemi F tasandil ühte süsteemi komponenti - moodulit F_k . Mooduli F_k ehk alumise tasandi rikkemudelite $W^F_{k,i}$ ja $W^S_{k,i}$ abil genereeritakse moodulile test, mis esitab tingimused W^F_k selle mudeli testimiseks kõrgemal süsteemi F tasandil. Seega ühed ja samad andmed W^F_k saavad eri tähenduse süsteemi eri tasanditel – nad on komponendi F_k rikkemudeliks süsteemi tasandil ja sama komponendi F_k testiks selle komponendi enda struktuuri tasandil.



Joonis 7. Hierarhiline testide genereerimine ja rikete simuleerimine

Nimetatud kõrvaltulemus sisuliselt ühendab selles ja eelmises punktis 3.1 püstitatud hierarhilise käsitluse: otsustusdiagrammid tagavad ühtsete algoritmide kasutusvõimaluse eri tasanditel, aga funktsionaalse rikke mudel saab liikumismehhanismiks ühelt tasandilt teisele.

Uue kontseptsiooni põhimõtted on publitseeritud kahe monograafia peatükkidena [18,19], esitatud konverentsi plenaarettekandena [64] ja avaldatud ka artiklites [23,31,32,71], millest artikkel [71] pälvis konverentsil “Best Paper Award” tunnustuse.

Uued tulemused:

Kokkuvõtlikult võib uued tulemused digitaalsüsteemide rikete funktsionaalse modelleerimise vallas formuleerida järgnevalt:

- Töötati välja funktsionaalne rikete mudel füüsikaliste defektide kujutamiseks loogikatasandil ning Boole'i diferentsiaalvõrrandi lahendamisel põhinev mudeli genereerimise meetod [14,15,18,19,89].
- Nimetatud mudelit kasutati klassikalise konstantrikete testide genereerimise meetodi laiendamiseks suvaliste füüsikaliste defektide arvesse võtmiseks [23,55,87].
- Boole'i diferentsiaalvõrrandi lahendamisel põhinev funktsionaalse rikke mudeli genereerimise meetod võimaldas näidata, et mudel laieneb ka sekventsiaalse iseloomuga rikete esitamiseks. Nimetatud tulemus võimaldas esmakordselt formaliseerida testide genereerimist rikete jaoks, mis suurendavad olekute arvu süsteemis [19,23,71].
- Rakendati loogikatasandi rikete mudelit digitaalskeemide disainivigade diagnoosimise täpsuse tõstmiseks [8].
- Selle kontseptsiooni huvitavaks “kõrvaltulemuseks” sai sama põhimõtte üldistamine suvalise kahe kõrvutise hierarhiatasandi jaoks, mis lõi üldse universaalse aluse hierarhiliste ülesannete lahendamiseks digitaalsüsteemide diagnostikas [14,15,19,36,52].
- Uuriti funktsionaalse rikke mudeli vahekorda kõrgtaseme rikete mudelitega ja formuleeriti vastavad seosed, milliste arvestamine võimaldab efektiivsemalt realiseerida testide analüüsi algoritme keerukates digitaalsüsteemides [14,15,19,87].
- Nimetatud kõrvaltulemus sisuliselt ühendab selles ja eelmises punktis 3.1 püstitatud probleemide käsitluse: otsustusdiagrammid tagavad ühtsete algoritmide kasutusvõimaluse eri tasanditel, aga funktsionaalse rikke mudel saab liikumismehhanismiks ühelt tasandilt teisele [14,15,19,71].
- Töötati välja uudsed funktsionaalsele rikkemudelile rajanevad hierarhilised rikete simuleerimise ja testide genereerimise algoritmid, meetodid ja tarkvara [23,31,32].

3.3. Defekt-orienteeritud digitaalskeemide testide generaator

Defekt-orienteeritud testide genereerimise probleem sai uue motivatsiooni uurimistööde intensiivistamiseks deterministliku testigeneraatori loomisega käesoleva uurimuse tulemusena, milline maailmas praegu puudub.

Probleemid võib siin jaotada kahte klassi: teoreetilised (akadeemilised) ja praktilised. Praktiline probleem seisneb vajalike lähteandmete saamise raskuses (salastatus, tehnilised probleemid). See on ka üheks põhjuseks, miks selline generaator kommertsturul puudub. Samas kõik tunnustavad niisuguse generaatori suurt vajadust. Arvatavasti lahendab selle praktilise probleemi elu ise. Antud juhul me ise nimetatud “praktilise” küsimusega ei tegele, kasutame uuringupartnerite Varssavi Tehnikaülikooli teadlaste poolt sünteesitud andmeid. Põhilised teoreetilised probleemid, millega meie Tallinnas tegeleme, seisnevad järgmises:

- rikete klassi laiendamine võrreldes sellega, mida seni oleme uurinud ja mida traditsiooniliselt kasutatakse,
- testide generaatori efektiivsuse ja töökiiruse tõstmine, ning
- generaatori kasutamine isetestivate süsteemide kvaliteedi hindamiseks.

Töötasime välja originaalsele funktsionaalse rikke mudelile [71] põhineva testide genereerimise uue kontseptsiooni, algoritmid ja tarkvara DOT defekt-orienteeritud testide deterministlikuks genereerimiseks digitaalskeemidele [23,31]. Rikete mudel võimaldab esitada suvalisi (loogikafunktsioonide abil kirjeldatavaid) füüsikalisi defekte ühtsel viisil nii komponentides kui ka komponentide vahelistel ühendustel. Rikete mudeli jaoks andmete väljatöötamine toimus koostöös poola teadlastega Varssavi Tehnikaülikoolist. Testigeneraatori tarkvara realiseeris J.Raigi juhendamisel TTÜs magistritöö kaitsnud Darmstadt üliõpilane Joachim Sudbrock.

Uue generaatori DOT unikaalseks omaduseks on võime **tõestada** defektide liiasust, mis võimaldab testide poolt garanteeritavale rikete kattele (testide kvaliteedile) anda realistliku tähenduse. Niisugune testigeneraator on hetkel maailmas **unikaalne**. Ulatuslik eksperimentide seeria näitas, et defektide avastamise katet on võimalik tõsta uue testigeneraatori abil 75-86 protsendilt koguni 99-100 protsendini (!). Teiste sõnadega, kui võtta traditsioonilise testigeneraatori poolt genereeritud nn. 100%-lise konstantrikete kattega testid, siis defektikatte analüüs näitas, et need testid olid võimelised avastama vaid ca 75-86% ulatuses reaalseid defekte. Suur osa niisugustest defektidest on harilikult liiased, aga seni puudus meetod liiasuse tõestamiseks ja seega ka täpse defektide katte arvutamiseks. Uue generaatoriga õnnestub nüüd esmakordselt tõestada defektide liiasust ning arvutada täpselt testide kvaliteeti ehk defektide avastamise protsenti [23,31].

Tabel 1. Defekt-orienteeritud testide generaatori DOT eksperimentaalne uurimine

Objekt	Defekte	Liaseid defekte		Testide kvaliteet			
		Elementide tasemel	Süsteemi tasemel	Klassikaline test			Uus meetod
				Üldkate	Elementide liiasus tõestatud	Kogu liiasus tõestatud	
C432	1519	226	0	78,6	99,05	99,05	100,00
C880	3380	499	5	75,0	99,50	99,66	100,00
C2670	6090	703	61	79,1	97,97	99,44	100,00
C3540	7660	985	74	80,1	98,52	99,76	99,97
C5315	14794	1546	260	82,4	97,53	100,00	100,00
C6288	24433	4005	41	77,0	99,81	100,00	100,00

Ekspimentaaluuringute tulemused on esitatud tabelis 1. Uuriti testide generaatori kasutamist 6 rahvusvaheliselt tunnustatud näidisskeemi (*benchmark circuits*) peal, mille keerukuse andmed (vaadeldavate potentsiaalsete defektide arv) on esitatud veerus kaks. Meie generaator võimaldas tõestada, millised defektid on liiased skeemide funktsionaalsuse mõttes. Üldkatte veerus (5. veerg) on toodud hinnangud defektide reaalse katte suhtes nende testide jaoks, mille kohta oli teada, et nad garanteerivad 100% katte traditsiooniliselt vaadeldavate konstantrikete suhtes. Neid arve vaadeldes selgus, et traditsiooniliselt kasutatavad vahendid hindavad suuresti üle testide reaalselt kvaliteeti. Tänu loodud uuele tööriistale, mis võimaldas defektide liiasust tõestada (nii

elementide sees kui ka süsteemi tasandil), õnnestus näidata, et testide kvaliteet tegelikult polegi nii halb (6. ja 7. veerg tabelis). Uue testide generaatoriga õnnestus lõpuks viia testide kvaliteet ka 100%-ni.

2005. aastal täiustasime testide generaatorit sedavõrd, et õnnestus arvesse võtta ka defekte komponentide vahelises kommunikatsioonivõrgus [31,32]. Tõsi küll, praegune testigeneraator on võimeline käsitlema üksnes kombinatoorse iseloomuga defekte. Saadud testikatte hinnangu andmiseks uurisime spetsiaalselt sekventsiaalse iseloomuga defektide osakaalu defektide koguhulgas.

Tabel 2. Defektide uurimine komponentide vahelises kommunikatsioonivõrgus

Circuit	Combinational tested	sequential tested	1-pattern testable	Multi-pattern testable	Testable with oscillation	Redundant	Test generation aborted
C432	993	0	6	0	1	0	
C499	995	0	4	0	1	0	
C880	999	0	1	0	0	0	
C1355	995	1	4	0	0	0	
C1908	997	1	2	0	0	0	
C2670	997	0	0	0	3	0	
C3540	997	0	3	0	0	0	
C5315	999	0	0	0	1	0	
C6288	1000	0	0	0	0	0	

Eksperimentaaluuringute tulemused on tabelis 2. Arvestades võimalike defektide väga suurt arvu toetusime statistilise väljavõtte analüüsile (igas skeemis valisime uuringuteks 1000 juhuslikku defekti). Uuringud näitasid, et enamuse komponentide vahelisi rikkeid on kombinatoorse iseloomuga (2. veerg) ehk kergesti testitavad. Kuna sekventsiaalse iseloomuga rikete osakaaluks oli keskmiselt vaid 0,003%, siis saab sellest järeldada, et ka üksnes kombinatoorsete rikete arvesse võtmisel saab juba tulemuse (rikete katte), mis ei saa olla alla 99,7%. Konkreetsemalt näitab 4. veerg tabelis, kui paljude defektide suhtes jäaks kahtlus, kui kasutada praegust kombinatoorsete defektide jaoks ehitatud generaatorit.

Uudseks tulemuseks oli ka uue mõiste ja kontseptsiooni väljaarendamine – “*layout for testability*” [32] analoogselt väga levinud mõistele “*design for testability*”. Lähtusime sellest, et osa sekventsiaalse iseloomuga füüsilisi defekte on “raskesti testitavad” (puudub testigeneraator nende jaoks). Testimise kvaliteedi tõstmiseks saaks niisugusi ”raskeid” defekte generaatoriga DOT välja selekteerida ning vastavates skeemipunktides ”raskete” defektide tõenäosuse väga madalale viimiseks integraalskeemi plaani (“*layout*”) korrigeerida.

Teiste sõnadega, uue testigeneraatori nn. **kõrvalefektiks** on veel soovitude genereerimine skeemi töökindluse tõstmiseks [32].

Uued tulemused:

Eksperimendid demonstreerisid teoreetiliste uuringute kolme efekti (uut tulemust):

- näitasime, et 100%-lise konstantrikete kattega klassikalise testi tegelik reaalsete defektide katte oli palju väiksem, jäädes piirkonda 75%-82% [23];

- tõestasime uue generaatoriga, et lõviosa katmata defektidest osutus siiski liiaseks ehk mitteoluliseks, mille tõttu õnnestus "tõsta" ka reaalsete defektide katet klassikalisel testil küllaltki lähedale 100%-le (mis tähendas seda, et klassikaline 100%-line test oli päris hea ka defektide avastamise suhtes, ainult seda polnud seni võimalik eksperimentaalselt näidata - võimalus defektide liiasuse tõestamiseks seni puudus) [23,31];
- genereerisime uue generaatoriga testid 100%-liseks defektide katmiseks [23,31].

Uuel generaatoril on kaks unikaalset omadust:

- võime **tõestada** defektide liiasust, mis võimaldab testide ricketekattele anda realistliku tähenduse [23,31], ning
- soovitude genereerimise võimalus skeemi töökindluse tõstmiseks [32].

3.4. Hierarhiline digitaalsüsteemide testide genereerimine

Testitavuse parandamine digitaalsüsteemides

Viisime läbi uuringud digitaalsüsteemide testide sünteesi kiirendamise võimaluste leidmiseks süsteemide testitavuse parandamise abil. Uuringute tulemusena töötasime välja uue OD-mudelil põhineva meetodi testitavuse hindamiseks ja mõõtmiseks ning selle alusel halvemini testitavate testpunktide välja selekteerimiseks signaalide juhitavuse ja jälgitavuse parandamise eesmärgil nendes punktides.

Meetodi originaalsus seisneb analüüsi läbiviimises kõrgtasemel (registersiirete tasandil), erinevalt traditsioonilistest ventiiltasandi meetoditest. Meil õnnestus üldistada seniseid meetodeid kasutamiseks kõrgemal register-edastuse tasandil. Töötasime välja algoritmid testitavuse arvutamiseks, mis oleksid ühtsed nii loogika- kui ka register-tasandi jaoks. Tulemus osutus võimalikuks tänu kõrgtaseme otsustusdiagrammide mudeli kasutamisele. Uue meetodi rakendamisel õnnestus hakkama saada keerukuse probleemidega ja tõsta testide analüüsi kiirust [60].

Meetod võimaldab parandada süsteemi testitavust automatiseerides VHDL keeles esitatud registersiirete tasandi kirjelduste modifitseerimist selekteeritud testpunktidega märgitud kohtades. VHDL kirjelduste automaatseks modifitseerimiseks töötasime välja täiendamiseks kasutatavate funktsioonide teegi.

Originaalseks lähenemisviisiks on ka iteratiivne algoritm, kus vaheldumisi töötavad testide generaator testitavuse analüüsiks ja seejärel testitavuse parandaja. Eksperimendid näitasid antud katseskeemide perekonna puhul, et vaid 3-st iteratsioonist maksimaalselt piisab probleemi lahendamiseks ja 100%-liste testide saamiseks [60].

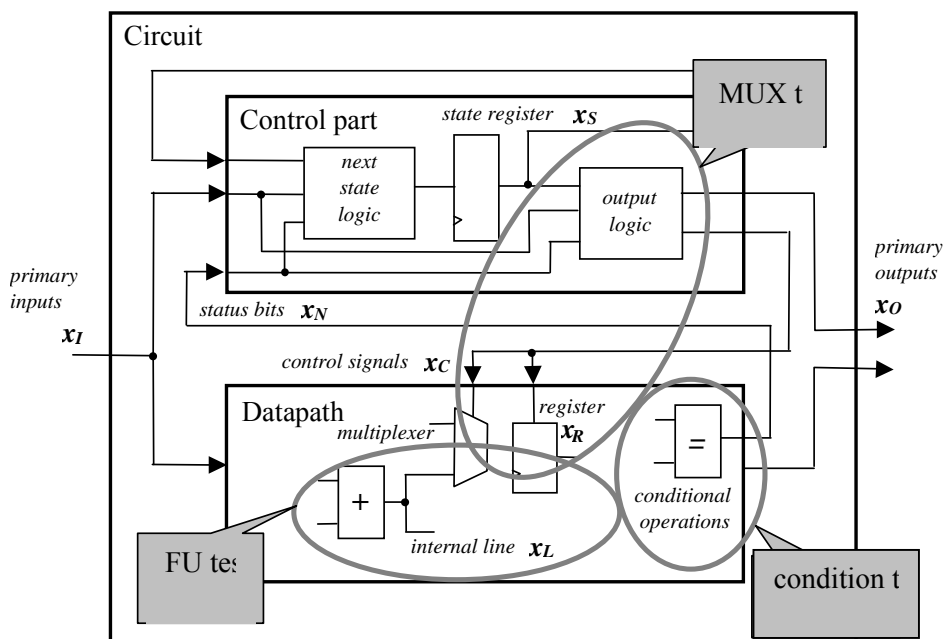
Töö viidi läbi koostöös Stokholmi Kuningliku Tehnoloogia Instituudiga Rootsis.

Hierarhiline testigeneraator

Varasema uurimistöo tulemusena on meil välja töötatud hierarhilisel põhimõttel funktsioneeriv digitaalsüsteemide automaatne testide generaator. Testide automaatse sünteesi efektiivsuse tõstmiseks arendasime käesolevas uurimuses välja meetodi, mis aitab vähendada variantide otsimisruumi, kasutades seejuures testitavuse mõõtmise põhimõtet (vt. ülalkirjeldatud iteratiivne meetod). Ideed on seni rakendatud vaid loogikatasandil. Eksperimentaalsed uuringud näitasid, et testide genereerimise efektiivsus sõltub oluliselt testitavuse mõõtude kasutamisest. Töö tulemused on publitseeritud artiklis [62], mis tunnistati auhinnaga "Best Paper Award" parimaks vastavas valdkonnas. Ühtlasi telliti autoritelt artikkel valdkonna tähtsaimasse ajakirja JETTA [1].

Uus testide generaator võimaldab genereerida teste nii loogika tasandil kui ka kõrgemal register-edastuste tasandil. Loogikatasandi testid on aluseks loogikaskeemide disainivigade diagnostikas

[8]. Testide generaator on integreeritav tänapäeva tähtsaimatesse disainikeskkondadesse SYNOPSIS, CADENCE, MENTOR GRAPHICS jt., mida kasutatakse kommertsturul.



Joonis 8. Hierarhilise testide generaatori uuenduste mõjupiirkonnad digitaalsüsteemis

Testide generaatori efektiivsuse tõstmiseks töötati välja kolm uut rikete käsitlemise mehhanismi multiplekserite [44,83] ning IF-opeaatorite jaoks [45,83]. Vastavad kohad süsteemis, mille suhtes uuendused realiseeruvad, on näidatud joonisel 8 hallide aladega. Eksperimendid näitasid testide genereerimise kiiruse ja kvaliteedi märgatavat tõusu olemasolevate testigeneraatoritega võrreldes.

Uus rikete mudel multiplekserite jaoks

Makar ja McCluskey¹⁵ on avaldanud põhjaneva uurimuse JAA/VÕI ehk VÕI/JAA elementidel ning nMOS implementatsioonil põhinevate multiplekserite testimiseks. Käesolevas uurimuses väljatöötatud multiplekserite rikete mudel on sarnane, kuid laieneb kordsete rikete testimisele ja on seega üldisem.

Uus mudel põhineb väärtuste paarikaupa eristamisel multipleksori sisenditel [44] vastupidiselt seni kasutatud kõikide sisendite väärtuste eristamisele. Tegemist on teatava lihtsustamisega, mis aga lõpptulemusena osutus otstarbekaks, ei vähendanud testide kvaliteeti, aga suurendas nende genereerimise kiirust. Idee motivatsiooniks oli uue mudeli parema käsitlemise võimalus kõrgtaseme OD-mudelil.

Uus rikete mudel IF-opeaatorite jaoks

Uudeks modifitseeritud testigeneraatori puhul on varasemast erinev IF-opeaatorplokkide käsitlemine. Need on digitaalsüsteemi funktsionaalsed plokid, mille väljundeid kasutatakse olekumuutujatena ehk "lippudena", mis on juhtautomaadi sisenditeks. Probleemiks on siin rikete mõju levi läbi globaalse tagasiside operatsioonautomaadist läbi juhtautomaadi tagasi operatsioonautomaati, mis teeb raskeks andmete sellise valiku, et niisugune globaalne tagasiside

¹⁵ Makar, S.R., and E.J. McCluskey, "On The Testing Of Multiplexers," Proc. 1988 Int. Test Conf., Washington, DC, pp. 669-679, September 12-14, 1988.

oleks rikke levimiseks aktiveeritud. Probleemi lahenduseks oli meil kõrgtasandi funktsionaalse mudeli kasutamine OD baasil, kus testi plaani süntees osutub palju lihtsamaks (otsinguruum kahaneb).

Ekspérimentaalsed tulemused

Tabelis 3, on toodud võrdlus nelja erineva testigeneraatori vahel ja esitatud andmed nende kasutamise kohta testide genereerimisel kuue erineva katsesüsteemi jaoks. Võrreldud on generaatoreid HITEC, GATEST, meie eelmist generaatori versiooni DECIDER ja uut versiooni (käesoleva uurimuse rakenduslikku tulemust). HITEC on deterministlik loogikatasandi testigeneraator, GATEST on stohhastiline geneetilistel algoritmidel põhinev testigeneraator, kusjuures DECIDER ja uus lahendus on mõlemad deterministlik/stohhastilised ja põhinevad hierarhilisel lähenemisviisil. Võrreldud on rikete katet (FC) ehk testide kvaliteeti ja testide genereerimiseks kulunud aega sekundites.

Tabel 3. Digitaalsüsteemide testigeneraatorite võrdlus

Skeem	Rikkeid	HITEC ¹⁶		GATEST ¹⁷		DECIDER ¹⁸		Uus meetod	
		F.C., %	Aeg, s	F.C., %	Aeg, s	F.C., %	Aeg, s	F.C., %	Aeg, s
gcd	454	81.1	169.5	91.0	75	89.9	13.5	89.9	129.8
sosq	1938	77.3	728.4	79.9	739	80.0	79.3	80.1	129.6
mult8x8	2036	65.9	1243	69.2	821.6	74.1	50.2	74.7	93.7
ellipf	5388	87.9	2090	94.7	6229	95.04	1197.8	95.04	1258.9
risc	6434	52.8	49,020	96.0	2459	95.8	85	96.5	150.5
diffeq	10,008	96.2	13,320	96.40	3000	96.51	295.5	97.09	453.7
Keskmine F.C.:		76.9		87.9		88.6		88.9	

Ekspérimentid viidi läbi arvutikeskkonnas 366 MHz SUN UltraSPARC 60 server, 512 MB RAM koos SOLARIS 2.8 operatsioonisüsteemiga. Rikete katet mõõdeti ühe ja sama rikete simulaatoriga tagamaks võrdluse objektiivsust. Ajad hõlmavad nii testide genereerimise etappi kui ka testide kvaliteedi mõõtmise etappi.

Ekspérimentid näitavad, et viiel juhul kuuest saavutati uue generaatoriga kõrgeim rikete kate. Samal ajal testide genereerimise ajad on uuel generaatoril kordades väiksemad kui generaatoritel HITEC ja GATEST. Võrreldes uut testigeneraatorit meie eelneva versiooniga DECIDER on näha, et rikete kvaliteedi tõus on saavutatud testide genereerimiseks vaja läinud aja mõningase suurenemise arvel.

Uued tulemused:

1. Töötati välja OD-mudelil põhinevad uued efektiivsed kõrgtaseme VHDL kirjeldusi kasutavad meetodid digitaalsüsteemide testitavuse mõõtmiseks ja parandamiseks [1].
2. Täiustati hierarhilist testide genereerimise meetodit võimalusega optimeerida lahenduste otsimisprotsesse kasutades kõrgtaseme testitavuse hinnanguid [1].

¹⁶ T. M. Niermann, J. H. Patel, "HITEC: A test generation package for sequential circuits", Proc. European Conf. Design Automation (EDAC), pp.214-218, 1991.

¹⁷ E. M. Rudnick, J. H. Patel, G. S. Greenstein, T. M. Niermann, "Sequential Circuit Test Generation in a Genetic Algorithm framework," Proc. DAC., pp. 698-704, 1994.

¹⁸ J.Raik, R.Ubar. Fast Test Pattern Generation for Sequential Circuits Using Decision Diagram Representations. *Journal of Electronic Testing: Theory and Applications*, Kluwer Academic Publishers. Vol. 16, No. 3, pp. 213-226, June, 2000.

3. Arendati edasi rikete modelleerimise teooriat hierarhiliseks testide genereerimiseks [44,45].
4. Uue testigeneraatoriga saavutati parim rikete kate võrdluses seniste nn. "ülikooli testigeneraatoritega" samal ajal kui kommertsiaalsed hierarhilised testigeneraatorid turul puuduvad [1,44,45].

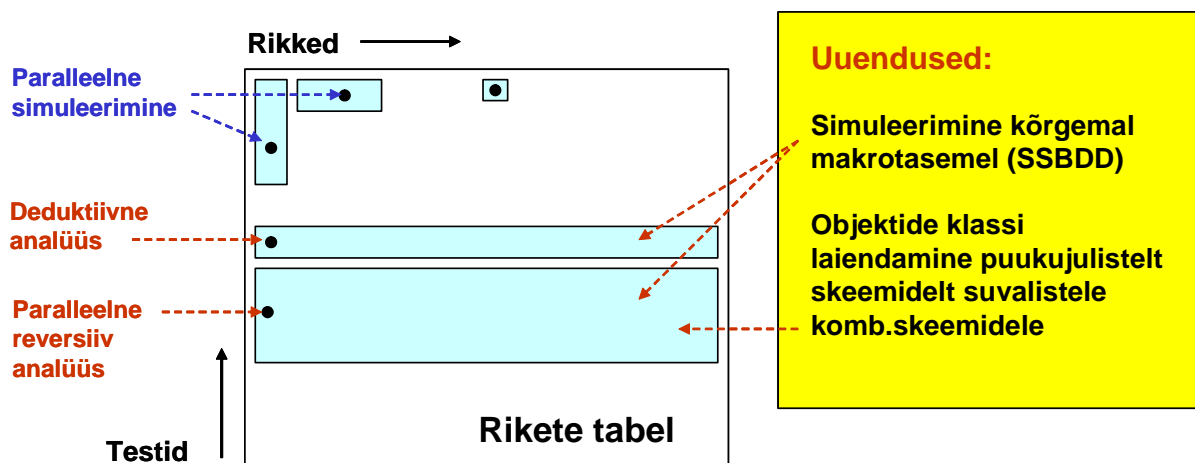
3.5. Testide analüüsi meetodid

3.5.1. Digitaalsüsteemide rikete simuleerimine ja diagnostika

Meetodid süsteemide simuleerimiseks loogika tasandil

Digitaalskeemide rikete simuleerimiseks on välja töötatud väga palju erinevaid meetodeid, milliste efektiivsust on hea võrrelda selle järgi kui palju diagnostilist informatsiooni saadakse ühe simuleerimistsükli abil.

Joonisel 9 on esitatud rikete tabel (maatriks), kus veerud vastavad riketele ja read testvektoritele. Tabeli elementideks (i,j) on väärtused 0 või 1, kusjuures 0 (1) tähendab seda, et veerule i vastavat riket ei avastata (avastatakse) reale j vastava testvektori poolt. Värvitud pindalad näitavad illustratiivselt kui palju elemente arvutab konkreetne simuleerimismeetod ühe simuleerimistsükli (ühekordse skeemi "läbimise") tulemusena.



Joonis 9. Rikete simuleerimise meetodite võrdlus

Käesolevas uurimuses töötati välja kaks uut meetodit: rikete deduktiivse analüüsi meetod [2,72] ja rikete paralleelse reversiivanalüüsi meetod [96]. Mõlema meetodi esimene uudsus seisnes selles, et kasutati analüüsitava skeemi modelleerimiseks SSBOD mudelit, mis võimaldas tõusta traditsiooniliselt ventiiltasandilt makrotasandile, kus makrole vastab mingi ventiilidest koosnev puukujuline alamskeem, ja millega kaasnes rikete simuleerimise kiiruse suurenemine.

Deduktiivse analüüsi meetod võimaldab ühe simuleerimistsükli tulemusena arvutada terve rea rikete tabelis, s.t. määrata analüüsitava testvektorile korraga kõik selle poolt avastatavad rikked. Tabel 4 demonstreerib meetodi efektiivsust võrrelduna ventiiltasemel läbiviidava deduktiivse analüüsiga. Nii näiteks skeemi c3540 puhul õnnestus sel puhul tõsta kiirust ligi 3 korda (võrreldud on kahte viimast veergu tabelis 4) [2].

Kui deduktiivse analüüsi ajal toimub rekursiivne skeemielementide (antud juhul makrode) töötlus skeemi sisenditest väljundite suunas, siis reversiivanalüüsi ajal toimub rekursiivne analüüs skeemi väljunditest sisendite suunas. Deduktiivne analüüs toimub rikete hulkade arvutamise teel, mis välistab mitme testvektori paralleelse analüüsi võimaluse, kusjuures reversiivanalüüs toimub Boole'i meetodite abil, mis võimaldab analüüsi läbi viia paralleelselt

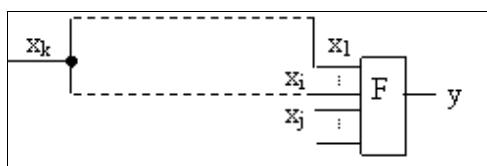
mitme testvektori jaoks korraga. Kahjuks seni on rikete paralleelne reversiivanalüüs olnud võimalik üksnes puukujuliste skeemide klassi jaoks. Märgive veel sedagi, et kui deduktiivne analüüs on võimalik ka järjestikskeemidele, siis paralleelne reversiivanalüüs on olnud seni võimalik ainult kitsale puukujuliste kombinatsiooniskeemide klassile.

Tabel 4. Digitaalskeemide rikete simuleerimise meetodite võrdlus

Katseskeem	Vektorite arv	Paralleelne reversiiv-analüüs		Deduktiivne rikete analüüs	
		Gate	Macro	Gate	Macro
c432	10000	0,618	0,211	1,302	0,811
c499	10000	3,385	0,561	4,567	1,662
c880	10000	1,612	0,891	2,563	1,382
c1355	10000	2,573	1,002	4,657	2,754
c1908	10000	5,107	1,312	6,449	2,774
c2670	10000	10,835	2,493	11,207	4,888
c3540	10000	19,087	3,175	18,376	6,750
c5315	1000	4,165	0,821	3,224	1,392
c6288	1000	4,226	2,263	4,797	3,134
c7552	1000	8,041	1,482	7,541	2,283
T1024	1000	0,841	0,010	0,290	0,191

Käesolevas uurimuses laiendati *paralleelse reversiivanalüüsi* meetodi kasutamise võimalust suvalistele kombinatsiooniskeemidele. Kui rekursiivne reversiivanalüüs on äärmiselt lihtne piki signaaliteid, mis ei koodu, siis koonduvuspunkti rikete analüüsi osati seni läbi viia üksnes puhta simuleerimise abil. Käesolevas uurimuses töötasime välja meetodi Boole'i differentsiaalvõrrandi konstrueerimiseks koonduva hargnemisregiooni analüüsiks (joonise 10 ülemine osa). Järgneva sammuna üldistasime meetodit üldjuhule paljude omavahel seotud koonduvate hargnemisregioonide korral (joonise 10 alumine osa). Kuna differentsiaalvõrrandi parem pool kujutab endast Boole'i avaldist, pole paralleelanalüüsi läbiviimine enam probleem.

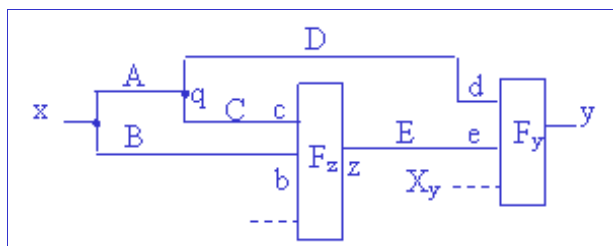
Koonduva hargnemisregiooni modelleerimine Boole'i tuletistega:



$$\frac{\partial y}{\partial x_k} = y \oplus F\left(\left(x_1 \oplus \frac{\partial x_1}{\partial x_k}\right), \dots, \left(x_i \oplus \frac{\partial x_i}{\partial x_k}\right), x_j, \dots, x_n\right)$$

Boole'i tuletiste kasutamine võimaldab paralleelset rikete arvutust

Tervikliku skeemi modelleerimine rekursiivsete Boole'i tuletistega:



$$\frac{\partial y}{\partial x} = y \oplus F_y\left(d \oplus AD, e \oplus E \frac{\partial z}{\partial x}, X_y\right)$$

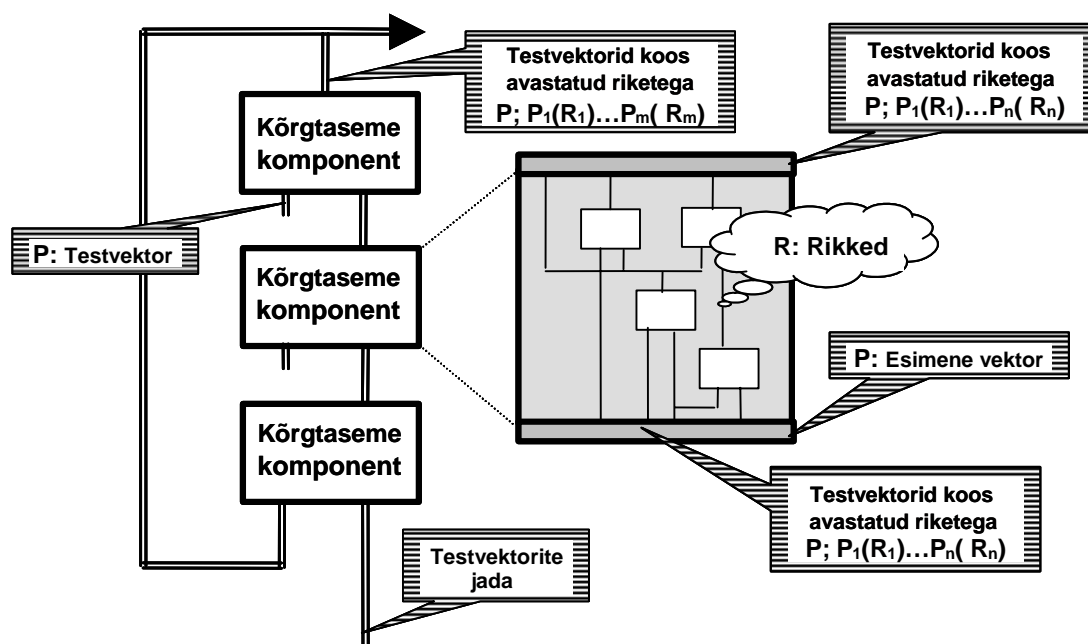
Uuendus: skeemide klassi laiendamine

Joonis 10. Rikete reversiivanalüüsi meetod

Eksperimentaalsetest katsetest järeldub, et uus meetod võimaldas simuleerimise kiirust tõsta kuni 4 korda (skeem c432) võrreldes deduktiivse analüüsiga (isegi 19 korda 1024-st ventiilist koosneva puukujulise skeemi T1024 puhul) [96].

Hierarhiline digitaalsüsteemide rikete simuleerimine

Kõrgtaseme otsustusdiagrammidel töötavate simuleerimisalgoritmide ideed kasutades arendati välja uus kontseptsioon hierarhiliseks rikete simuleerimiseks digitaalsüsteemides [66].



Joonis 11. Rikete hierarhiline simuleerimine

Joonisel 11 on illustreeritud, kuidas hierarhiline simuleerimine toimub. Igal konkreetsel etapil analüüsitakse ühe välja valitud komponendi rikkeid. Väljavalitud komponent esitatakse madalal loogikatasandil ja rikete analüüs selles komponendis toimub samuti madalal tasandil. Madala taseme esitus garanteerib piisava täpsuse rikete käsitlemisel. Rikete levitamine läbi teiste komponentide toimub aga kõrgemal registersiirete tasandil, mis tõstab levitamise kiirust. Rikete levitamine toimub kuni selle punktini, kus veasignaali on võimalik avastada.

Tabel 5. Hierarhilise rikete simulaatori võrdlus ventiiltasandi simulaatoriga

Fsm	TL	Cover %	HSIM	GSIM
			Time,s	Time,s
bsse	300	74.1	0.01	0.38
dk16	150	95.1	0.01	0.55
ex2	600	25.9	0.01	1.21
ex3	1000	46.2	0.01	0.77
log	200	99.6	0.01	0.11
s832	300	59.6	1.00	2.69
s1488	400	63.48	2.00	9.17
sand	400	84.2	1.00	3.18
scf	700	34.5	33.0	39.32
styr	500	74.1	2.00	6.81

Rikete hierarhiliseks simuleerimiseks töötati välja vastavad algoritmid ja tarkvara. Nimetatud kontseptsiooni kuulub ka madala taseme (ventiiltaseme) rikete simulaator [2,11,72]. Uudne on

selles simulaatoris SSBOD mudeli kasutamine, mis võimaldab (simuleerimise kiiruse suurendamiseks) tõusta ventiiltasandilt kõrgemale makrotasandile, kuid samas adekvaatselt kajastada makromudelil simuleeritavaid ventiiltasandi vigu.

Arendati edasi teoreetilist baasi mitmetasemeliseks rikete simuleerimiseks keerulistes digitaalsüsteemides. Hierarhilise simulaatori jaoks töötati välja ühtsed analüüsi meetodid, mis põhinevad ühe ja sama OD mudeli kasutamisel nii kõrgemal registersiirete kui ka madalamal loogika tasandil [66]. Algoritmide implementeerimine toimus koostöös Kopenhaageni Ülikooliga.

Uue meetodi eksperimentaalse katsetuse tulemused on esitatud tabelis 5, kus võrreldakse hierarhilist simulaatorit HSIM ja ventiiltasandi simulaatorit GSIM. Uue simulaatori kiirus on ventiiltasandi simulaatorist kiirem ca 3-50 korda.

Disainivigade diagnostika

Töötati välja uus kontseptsioon ja teoreetiline baas traditsioonilise testide sünteesi metodoloogia kasutamiseks disainivigade diagnostikas, mis seisneb uue matemaatilise teisendusaparaadi loomises riistvara konstantsete rikete mudeli kujutise leidmiseks disainivigade universumis. Uus kontseptsioon võimaldab kasutada traditsioonilist riistvara testimise tarkvara (testide generaatoreid, konstantsete rikete simulaatoreid ja analüsaatoreid) disainide verifitseerimisel ning disainivigade lokaliseerimisel. Uue kontseptsiooni baasil töötati välja originaalne meetod, algoritmid ja tarkvara disainivigade diagnostikaks. Uuringud toimusid suures osas interdistsiplinaarse koostööna Joseph Fourier' Ülikooliga Grenoble'is Prantsusmaal, kus töötab üks juhtivamaid laboreid maailmas digitaalsüsteemide modelleerimise ja verifitseerimise valdkonnas.

Arendati edasi teoreetilist baasi disainivigade diagnostikaks kõige üldisema juhu jaoks, kui vigade mudelile kitsendusi ei seata ning töötati välja uus diagnostikameetod, mis erinevalt tuntud lähenemisviisidest ei tööta veamudelitega. Traditsiooniliste meetodite puhul, kus kasutatakse mitmesuguseid efektiivsemaid ja vähem efektiivsemaid veamudeleid, on juba "sisseprogrammeeritud" mudelist endast tulenev piiratus, kuna praktiliselt pole võimalik kõiki disainivigu ette näha ja ette ära defineerida ning loetleda. Uus meetod töötab vigase skeemiosa järkjärgulise kokkusurumise meetodil, kasutades selleks osalisi testeksperimente, rikete simuleerimist ning iteratiivset täiendavate testide juurde genereerimist. Piisavalt väikese kahtlustatava vigase skeemiosani jõudmisel viiakse läbi selle rektifikatsioon.

Tulemus on saadud kahe teadusvaldkonna - riistvara diagnostika ja disaini verifitseerimine piirimail ning võimaldab kasutada traditsioonilisi ventiilskeemide rikete diagnostika meetodeid disainivigade lokaliseerimiseks ja skeemide verifitseerimiseks.

Tulemused on avaldatud valdkonna esindusajakirjas JETTA - Journal of Electronic Testing, Theory and Applications (Kluwer Academic Publishers) [8].

Uued tulemused:

- Töötati välja uus rikete deduktiivse analüüsi meetod digitaalskeemide testide kvaliteedi mõõtmiseks, kus kiiruse tõstmise eesmärgil traditsiooniline ventiilide tasandi analüüsi on konverteeritud kõrgemale makrotasandile [2]. Meetod võimaldas kiirust tõsta kuni 3 korda.
- Töötati välja uus rikete paralleelse reversiivanalüüsi meetod, mis esmakordselt võimaldas laiendada sel meetodil analüüsitava skeemide klassi puukujulistelt skeemidelt suvalistele kombinatsiooniskeemidele [96].
- Töötati välja uus hierarhiline digitaalsüsteemide rikete simuleerimise meetod, mis võimaldas tõsta simuleerimise kiirust ca 3-50 korda.

3.5.2. Rikete simuleerimise kiirendi rekonfigureeritava loogika baasil

Uue valdkonnana on instituudi uurimistöösse toodud väga aktuaalne teema – korduvprogrammeeritava loogika kasutamine digitaalsüsteemide testide sünteesil kasutatava tarkvaralise simuleerimise asendamiseks riistvaralise emuleerimisega. Korduvprogrammeeritava ehk rekonfigureeritava loogika (FPGA skeemide¹⁹) kasutamine digitaalsüsteemide testide genereerimisel ja rikete analüüsil aparatuurse kiirendina pakub uusi võimalusi eriti töomahukate diagnostikaülesannete lahendamiseks.

Esiagne lähenemine, kus uuriti ainult kombinatsioonskeeme, lubas hinnata kiirendamise võimalikkust. Järeldada võis, et suurim efektiivsus saavutatakse süsteemide puhul, kus on vaja modelleerida väga suurt arvu sisendvektoreid, näiteks järjestikskeemide pikkade testjadade korral. Leidsimegi, et järjestikskeemide korral kiiruses saavutatav võit tarkvaralise simuleerimisega võrreldes võib ulatuda paarisaja korrani. Vastav emuleerimiskeskond koos kiibisisese loogikaanalüsaatori prototüübiga on integreerimisfaasis. Tulemused on saadud arvutitehnika instituudi kahe õppetooli tihedas koostöös instituudi kahe teadussuuna “Digitaalsüsteemide disain” ja “Digitaalsüsteemide diagnostika” ühitamise sünergeetilise efektina.

Käesoleval ajal on võimalikuks saanud kasutada mitmeid miljoneid ventiile sisaldavaid FPGA-skeeme rekonfigureeritava simuleerimiskeskonna loomiseks. Niisuguses keskkonnas on võimalik realiseerida mitte ainult simuleeritavat objekti koos rikete sisestamise võimalusega, vaid ka testvektorite generaatoreid ja signatuuranalüsaatoreid testimistulemuste fikseerimiseks. Testimiskeskonna ja analüüsitava objekti realiseerimine ühesainsas kiibis on eriti oluline analüüsi kiiruse tõstmiseks, kuna jääb ära testvektorite sisestamine kiipi ja tulemuste väljastamine kiibist.

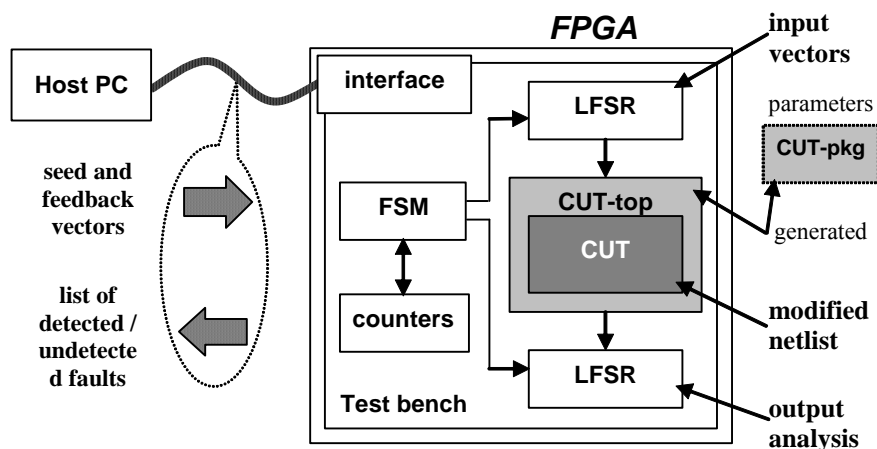


Fig.12. Emulation environment structure

Joonisel 12 on esitatud simuleerimiskeskond rekonfigureeritava loogika baasil. Põhiline uudsus seisneb siin multipleksrite kasutamises rikete injekeerimiseks. Süsteem on projekteeritud koos simuleeritavate vigadega, vastav kontrollor adresseerib tsükliliselt multipleksereid injekeeritavate rikete skeemi viimiseks ja nende käitumise analüüsimiseks. Nii skeemisiseseks testide genereerimiseks kui ka tulemuste fikseerimiseks (signatuuranalüüsiks) kasutatakse lineaarse tagasisidega nihkeregistreid (LFSR). Kuna viimaseid kasutatakse sageli isetestivate

¹⁹ "Axis Systems Uses World's Largest FPGAs from Xilinx to Deliver Most Efficient Verification System in the Industry." Xilinx Press Release #0273 - <http://www.xilinx.com/>

süsteemide realiseerimiseks, annab kirjeldatud keskkond äärmiselt hea võimaluse niisuguste isetestivate süsteemide emuleerimiseks ja kvaliteedi hindamiseks.

Eksperimenteerimise käigus saadud tulemused on esitatud tabelis 6. Tabelist on näha (viimane veerg), et kiiruse tõus tarkvaralise rikete simulaatoriga võrreldes on vahemikus 44,6 – 517.

Tabel 6. Eksperimentaaltulemused rikete simuleerimise kiirendi kohta

Circuit	# of faults	# of vectors		SW simul	HW				speed-up
		total	actual		slices	MHz	synt	emul	
s5378	5150	8000	2896	26.8"	3573	30	14.8'	0.50"	53.6
s15850	12314	40000	25521	15.6'	10131	15	85'	21.0"	44.6
GCD (16)	1634	4000	510	5.28"	1152	40	2.9'	0.02"	264
GCD (32)	3734	4000	558	22.6"	2456	25	9.0'	0.08"	283
prefetch (16)	1042	4000	181	1.34"	701	75	1.3'	3 ms	447
prefetch (32)	2252	16000	1904	9.46"	1448	50	3.6'	0.09"	105
diff-eq (16)	10008	4000	175	87.9"	7710	10	82'	0.17"	517
TLC	468	4000	925	2.69"	409	60	41"	0.01"	269

Alustatud pilootprojekti laienemine rekonfigureeritava loogika kasutamiseks uute töömahukate algoritmide valdkonnas (mitmesugused kombinatoorsed optimeerimisülesanded) on samuti väga huvipakkuv. Pealegi on korduvprogrammeeritava loogika kasutamine aparatuurse baasina eriti perspektiivne nišš Eestile, kus kõrgtehnoloogiline mikroelektroonikatööstus puudub.

Uued tulemused:

1. Töötati välja väga kiire rikete simulaator rekonfigureeritava loogika baasil asendamaks aeglasemaid tarkvaralisi simulaatoreid [36,76]. Saavutatud kiiruse tõus oli kuni 2,5 suurusjärku.
2. Uuriti kahte erinevat lähenemisviisi, mida võib vaadelda kui kompromisslahenduse (*tradeoff*) otsimise võimalust vajalike FPGA ressursside ja rikete katte mõõtmistäpsuse vahel [58].
3. Eksperimendid näitasid, et kiirendite kasutamise efekt suureneb võrdeliselt simuleeritava testjada pikkusega [80].

3.6. Süsteemide isetestimine

3.6.1. Isetestimise optimeerimise meetodid

Koostöös Linköpingi Ülikooliga töötasime välja rida efektiivseid meetodeid digitaalsüsteemide skeemisiseste hübriidtestrite optimeerimiseks enesediagnostika eesmärgil [5,17,22,29,73,74,75,79,82,84]. Probleemide hulka võib siin vaadelda mitmedimensionaalsena, kus koordinaatideks on erinevad isetestimise arhitektuurid, hulk erinevaid disainikriteeriume nagu testi kvaliteet, testi pikkus, testimise aeg, mälu maksumus, võimsustarve, aparatuurikulu jne. Kirjeldamiseks potentsiaalset uurimisvaldkonda võimalikult üldiselt, seadsime ülesandeks optimeerida erinevaid **hübriid-issetimise** arhitektuure erinevate kriteeriumide järgi erinevate kitsenduste juures, vastavalt sellele millised rakenduseesmärgid on olulisemad projekteeritava süsteemi juures: odavus, mobiilsus (madal energiakulu), töökindlus, töökiirus jne. Formuleeritud ülesanded selles mitmedimensionaalses ruumis olid täielikult uued, kuna hübriid-issetimise probleemiasetus ise on uus: üldine teooria puudub.

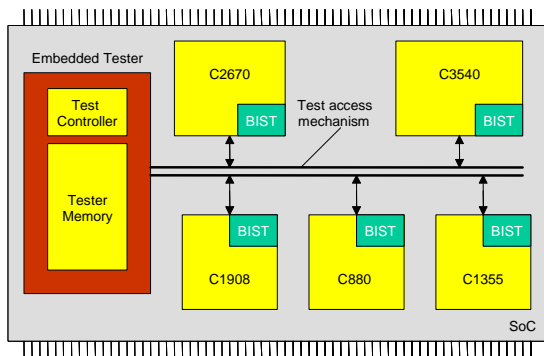
Traditsiooniliselt kasutatakse skeemisisel testimisel pseudojuhuslike arvude generaatoreid, mille puuduseks on ebapiisav testimise kvaliteet. Kvaliteedi tõstmiseks kasutatakse täiendavalt

eelnevalt salvestatud deterministlikke testvektoreid. Niisugusi *on-line* genereeritavaid pseudojuhuslikke testvektoreid ja täiendavaid mälus hoitavaid deterministlikke testvektoreid kasutatavaid meetodeid nimetatakse hübriidseteks isetestimise meetoditeks. Probleemiks on õige ajahetke valik ümberlülitumiseks pseudojuhuslikust rezhimist deterministlikku rezhimi, minimeerimaks kogu testimise hinda. Töötati välja kiired algoritmid isetestimise aja, kvaliteedi, ressursivajaduse ja energiatarbe hindamiseks ning ligikaudsete hinnakõverate genereerimiseks [29,59].

Kasutades kiireid hindamise algoritme, töötati välja rida meetodeid hübriidsete enesediagnostika arhitektuuride optimeerimiseks. Uuriti mitmeid hübriidse enesetestimise arhitektuurse lahendamise meetodeid, kus vaadeldi nii ühe [74] kui ka mitmetuumalisi [5,22,79] kiipsüsteeme (tuumaks nimetatakse süsteemi isetestivat alamosa), nn. *test per clock* [74] ja *test-per-scan* [5,22,73] arhitektuurseid lahendusi, samuti nn. *broadcasting* meetodit [75] ühtede ja samade testide kasutamiseks eri skeemidele (tuumadele).

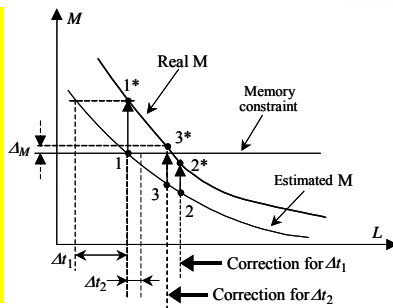
Uuriti mitmeid algoritme optimaalse vahekorra leidmiseks pseudojuhuslike ja deterministlike testide vahel minimeerimaks nii testimise aega kui ka vajalikku mälu mahtu maksimaalse võimaliku testimiskvaliteedi (veakatte) juures. Optimeerimisprotsessi kiirendamiseks kasutati ligikaudsel hindamisel põhinevat iteratsioonide meetodit globaalse testi maksumuse miinimumi leidmiseks, kus ligikaudsete hinnangute põhjal leiti jooksev hüpoteetiline lahend, mille jaoks arvutati täpne hind, viimase abil korrigeeriti hindamise algoritmi, leiti järgmine jooksev lahend jne. Kuni optimaalse lahendi leidmiseni. Välja töötatud iteratiivne optimeerimise meetod näitas küllaltki head koonduvust [79].

Optimeerimiskriteeriumiks oli kirjeldatud meetodite puhul enamasti testisaja miinimum etteantud testikvaliteedi juures, kusjuures kitsendustena nähti piiranguid kas ressurssidele [73,74,75,79] või energiatarbele [5,22].

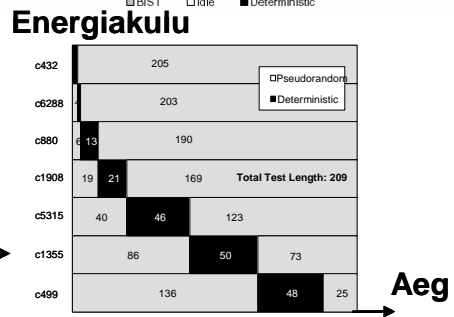
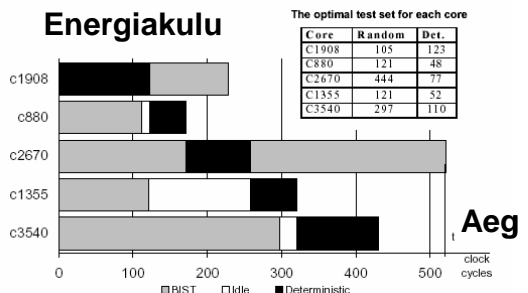


Meetodi idee:

- Ligikaudne, aga kiire energiakulu hindamise meetod
- Iteratiivne lähenemine hindamiskõvera abil täpsele optimumile



Protsesside optimeerimine:



Joonis 13. Isetestivate süsteemide testprotsesside optimeerimine

Joonisel 13 on illustreeritud eelpool loetletud optimeerimise meetodeid. On näidatud 5-te tuuma sisaldav kiipsüsteem koos testkontrolleriga, mis koordineerib kogu testimise protsessi. Igas tuumas on sisseehitatud tester, mis genereerib juhuslikke testvektoreid ja fikseerib testimise

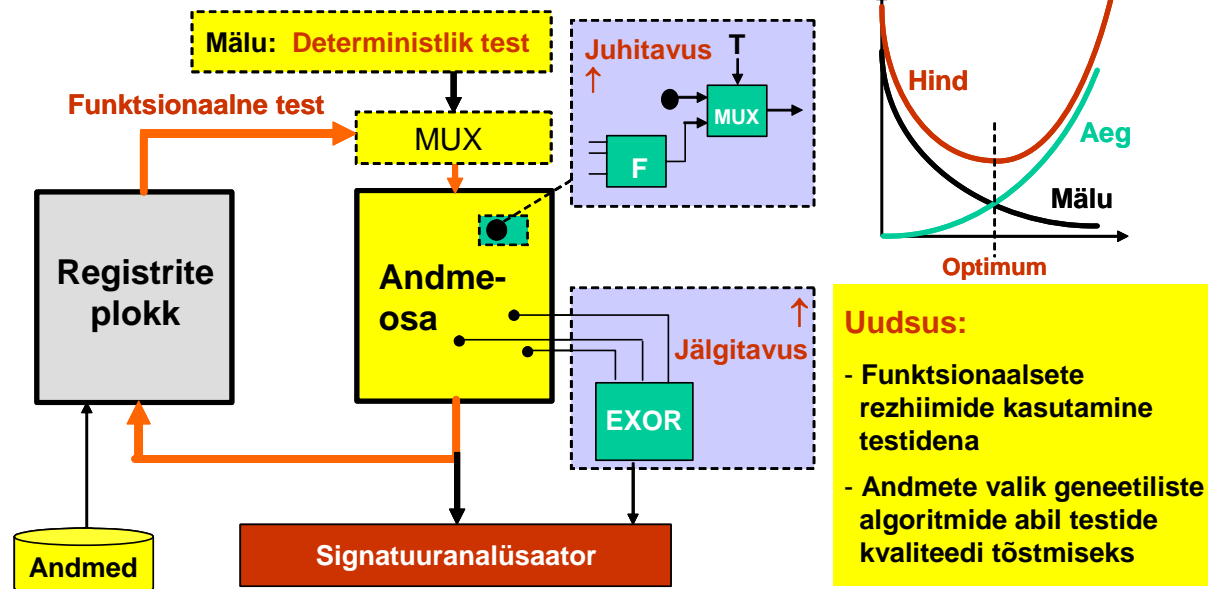
lõpptulemuse – signatuuri. Testkontrolleris on mälu deterministlike testvektorite salvestamiseks iga tuuma jaoks. Deterministlikke testvektoreid võidakse ka jagada tuumade vahel (nn. *broadcasting*) [75]. Pseudojuhuslik testimine võib toimuda tuumades üheaegselt (hallid epüürid diagrammidel paremal), deterministlik test saab magistraali jagamise tõttu realiseeruda korraga ainult ühe tuuma jaoks (mustad epüürid diagrammidel). Ülemisel diagrammil on toodud optimeerimata protsess, alumisel diagrammil optimeeritud protsess, kus on näha, et (valgeid) passiivseid hetki tuumade testimisel ei esine ning testi pikkus on minimaalne. Iteratiivne optimeerimine toimub graafiku peal, kus on esitatud 2 kõverat – ligikaudne ja täpne testprotsessi hinnakõver (ordinaattelg vastab ressursside – mälu, energiatarve – kitsendusele, abstsissstelg - ajale). Täpset kõverat tegelikult ei eksisteeri, see on esitatud illustratsioonina. Ligikaudse kõvera abil valitud punktis, mis sobib kitsendusega, arvutatakse protsessi täpne hind ehk punkt täpsel hinnakõveral. Sealt liigutakse paranduse abil ligikaudsele kõverale, et uut iteratiivset punkti leida. Niiviisi toimubki liikumine kahe kõvera, nähtava ja nähtamatu vahel, kuni leitakse optimaalne punkt – minimaalne testi pikkus etteantud kitsenduste puhul ressurssidele.

Väljatöötatud meetodid on kasutatavad nii tarkvaralise kui ka riistvaralise enesediagnostika realiseerimise puhul.

3.6.2. Funktsionaalne isetestimine

Uusi atraktiivseid võimalusi digitaalsüsteemide isetestimise efektiivsuse tõstmiseks pakub funktsionaalne isetestimise kontseptsioon, mida on vähe uuritud. Jõudsime probleemipüstituse juurde, mille uudsus seisneb kahe disainiparadigma kombineerimises: objekti enda ressursside lülitamine isetestimis-ahelasse (nn. funktsionaalne isetestimine) ja isetestimise kvaliteedi tõstmisele suunatud süsteemi struktuuri testitavuse parandamine. Põhieesmärgiks on siin võimalikult minimaalse aparatuuri maksumuse tõusu juures parandada märgatavalt süsteemi isetestimise kvaliteeti ja võimalusi.

Funktsionaalne isetestimine:



Joonis 14. Funktsionaalne hübriid-isetestimine

Funktsionaalse isetestimise **kombineerimine** hübriid-testimise põhimõttega töötab kujuneda eriti efektiivseks kontseptsiooniks, mida seni pole üldse uuritud. Kumbki testimise põhimõtte eraldi koos oma oodatavate konkreetsete panustega moodustab tugeva baasi saavutamaks kombineerimisel uut **sünergeetilist** efekti.

Joonisel 14 on illustreeritud funktsionaalse hübriid-isetestimise põhimõtet. Normaalne töörezhiim seisneb selles et mikroprogrammjuhtimisel registreeritakse plokis olevaid andmeid töödeldakse süsteemi nn. andmeosas. Kõiki andmeosades saadetavaid signaale käsitletakse funktsionaalsete testidena, mida süsteem ise genereerib. Signatuuranalüsaator on monitoriks, mis jälgib protsessi ja fikseerib selle lõpptulemuse nn. signatuurina. Tõusev kõver graafikul väljendab funktsionaalse testi maksumust sõltuvalt protsessi kestusest. Mällu on salvestatud deterministlik test hübriidse testi kvaliteedi viimiseks vajalikule tasemele. Deterministliku testi kui täiendava testi maksumust väljendab langev kõver. Mida lühem on funktsionaalne test, seda pikemaks kujuneb deterministlik test. Mõlema kõvera summa tähendab kogutesti hinda. Summaarse kõvera miinimum olekski otsitav lahend, mis määrab optimaalse funktsionaalse testi pikkuse ja vajaliku mälu salvestatavate deterministlike testvektorite hulga. Probleem on aga selles, et deterministliku testi vastavat hinna kõverat oleks väga töömahukas arvutada. Optimaalse lahendi leidmiseks kasutasime siingi iteratiivse lähenemise meetodit [48,82].

Uuringud näitasid, et uus meetod on küllaltki tundlik algandmete valiku suhtes. Leidsime, et geneetiliste algoritmide kasutamise abil õnnestub siin parandada algandmete genereerimist [24,84]. Koostöö toimub selles osas Ukraina teadlastega. Testide genereerimisel kasutatavate matemaatiliste mudelite valdkonnas on saadud originaalsed tulemused koostöös ka Tomski teadlastega Venemaal [3,4].

Uued tulemused:

1. Töötati välja efektiivne kiire meetod ligikaudse hinnakõvera arvutamiseks hübriid-isetestivate skeemide optimeerimiseks [29,59].
2. Töötati välja efektiivsed meetodid hübriid-isetestivate süsteemide testprotsesside optimeerimiseks erinevate kitsenduste puhul [5,17,22,73,74,75,79,82,84].
3. Töötati välja uus funktsionaalse hübriid-isetestimise kontseptsioon digitaalsüsteemide jaoks ning vastavad optimeerimisalgoritmide efektiivseima testprotsessi leidmiseks [24,48,82,84].

3.7. Kiipvõrkude testimine

Edusammud pooljuhttehnoloogias võimaldavad peagi realiseerida keerukaid digitaalsüsteeme ühesainsas mikroskeemis ehk kiibil (nn. *kiipsüsteemid*), kus miljardid transistorid töötavad gigahertsistel sagedustel. Traditsiooniliselt mikroelektronikas seni kasutatud magistraal-tüüpi kommunikatsioonisüsteemid kaotavad oma senise leviku kommunikatsiooniprobleemide järsu kasvu tõttu kaasaegsetes palju-tuumalistes (*multi-core*) süsteemides. Süsteemide robustsuse, paindlikkuse ja skaleeritavuse tõstmise eesmärgil asendatakse peagi senised magistraal-tüüpi kommunikatsioonisüsteemide arhitektuurid universaalsema nn. pakettlülituse (*packet-switching*) kommunikatsiooni paradigmaga, mida seni on edukalt kasutatud traditsioonilistes arvutivõrkudes. See uus nn. *kiipvõrkude (Network-on-Chip* ehk *NOC*) paradigma hakkab eeldatavasti põhinema nn. globaalselt-asünkroonsetel ja lokaalselt-sünkroonsetel (*Globally Asynchronous Locally Synchronous - GALS*) süsteemide projekteerimise kontseptsioonil vältimaks keerukate süsteemide sünkroniseerimisel ehk taktsignaalide levitamisel tekkivaid probleeme.

Submikron- ja nanotehnoloogia pealetung tähendab testimisprobleemide keerukamaks muutumist eeskätt süsteemide dünaamika testimise osas, mis on seotud viiterikete ja ülekostvushäirete avastamisega. Probleemi lahendamise võtmeks on skeemisisene isetestimine, mis toimub realsel töökiirusel. Kiipvõrkude testimine hõlmab nii infrastruktuuri funktsionaalsete komponentide (ruuterite ja lülitusskeemide) kui ka ühendusliinide testimist.

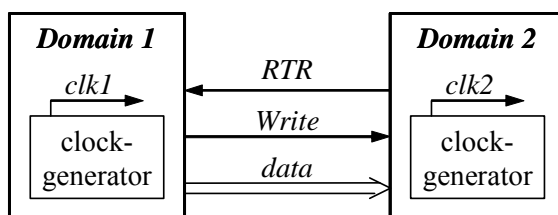
Käesolevas uurimuses käsitleti ühendusliinide testimist, mis muutub eriti probleemseks seoses üleminekuga gigahertsiste sageduste piirkonda ja nanotehnoloogiale omase projekteerimise tihedusega (juhtmete vahelise üha väheneva kaugusega). Sellistes tingimustes muutub nn.

ülekoostvus juhtmete vahel tüüpiliseks ja väga kriitiliseks häireks süsteemi töös. Probleemiks muutuvad ka signaalide terviklikkus (*signal integrity*) ja signaalide ajalised viited.

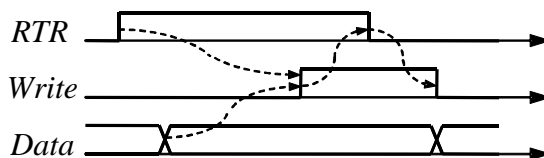
Käesolev uurimus toimus kahes suunas:

- testide realiseerimine ja rikete avastamine *GALS*-tüüpi süsteemides, ning
- rekonfigureeritav sisse-ehitatud riistvaraline testigeneraator kiibi ühendusahelate testimiseks, mis võimaldab kompromissi (tradeoff) testimise kiiruse ja testimise kvaliteedi vahel.

Mõlema meetodi eesmärgiks on testida eeskätt viiterikkeid (*delay faults*) ja signaalide kahjulikku mõju üksteisele nn. *ülekoostvuse* (*crosstalking*) tõttu.



Joonis 15. Handshaking protokoll



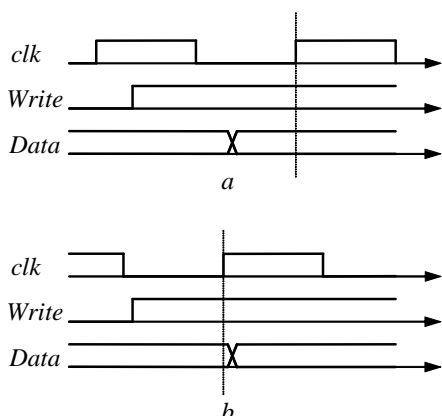
Joonis 16. Andmete edastus handshaking protokoll järgi

NoC tüüpi arhitektuurides kasutatakse eelistatult ühesuunalisi füüsilisi kanaleid kahe ressursi või ruuteri vaheliseks kommunikatsiooniühenduseks, millised vastavalt *GALS* paradigmale on asünkroonsed ja kasutavad nn. handshaking signaale (joonised 15 ja 16). Sellise paradigma puhul signaalid *Write*, *RTR* (*Ready-to-Receive*) ja *Data* on sünkroniseeritud eri taktsignaalidega (*clk1* ja *clk2*) vastavatel aladel *Domain 1* ja *Domain 2*. Vastuvõtja kinnitab signaaliga *RTR* = 1, et ta on valmis vastu võtma uusi andmeid. Saatja saadab signaali *Write*, millele järgneb andmete välja saatmine.

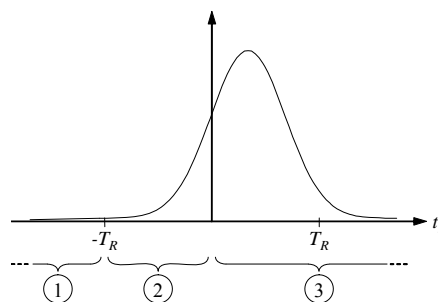
Kuna sünkroniseerimine puudub taktsignaalide jaoks saatjas ja vastuvõtjas, siis uued andmed ja ka signaal *Write* võivad sattuda vastuvõtjasse suvalisel hetkel vaadeldava taktvahemiku suhtes. Selle tulemusena võib signaalide viidetest tekkida ajaline määramatus Δ signaali *Write* saabumishetke ja andmete saabumishetke vahel.

Olgu T_R vastuvõtja taktperioodi pikkus. Sellisel juhul ajaline määramatus signaali *Write* saabumishetke ja selle hetke vahel, mil andmed on tegelikult loetud, langeb vahemikku $[0, T_R]$ ühtlase tõenäosusjaotusega. Seetõttu, andmeid võidakse mõnikord vastu võtta õigesti, mõnikord valesti, kui andmesignaali edastamisel on toimunud viide (joonis 17 a,b).

Olgu t_l ajavahemikuks sellest hetkest, kui andmed saabuavad, kuni hetkeni, mil signaal *Write* jõuab vastuvõtjasse. Ajavahemiku t_l tõenäosusjaotuseks eeldatakse kõverat joonisel 16. Kui t_l on positiivne (intervall 3 joonisel 16), siis viiteviga puudub ja andmeid loetakse korrektselt. Kui t_l on väiksem kui $-T_R$, (intervall 1 joonisel 16), siis on tekkinud viiteviga ja sellest tingitult loetakse andmeid vigaselt. Kui t_l on vahemikus $-T_R$ ja 0 (intervall 2 joonisel 16), siis andmeid loetakse mõnikord korrektselt mõnikord vigaselt.



Joonis 17. Signaalid vastuvõtjas, kui andmed on hilistunud



Joonis 18. Ajavahemiku t karakteristik

Välja töötatud nn. *konservatiivse* (pessimistliku) meetodi põhiideeks on lugeda andmeid üks takttsüklil varem, kui teda muidu loetak normalse töö korral. Sel juhul koosneb test transistori poolt korduvalt saadetud andmetest (näiteks m korda), kusjuures ajavahemik andmete saatmise vahel on juhuslikult muutuv suurus. Saab näidata, et kui andmeid on vastu võetud korrektselt vähemalt üks kord, siis vastav kanal töötab viitevigadeta. Kui aga andmeid pole kordagi õigesti vastu võetud, eeldatakse, et kanal töötab viiteveaga (ehkki viga ei pruugi tegelikult olla). Näitasime, et korras kiibi vigaseks lugemise tõenäosus kahaneb eksponentsiaalselt parameetri m kasvades (tabel 7).

Tabel 7. Tõenäosused, et korras kiip loetakse vigaseks

t_i/T_R	10 %	1 %	0.1 %	0.01 %
≥ 1	1	1	1	1
0.99	1	1	2	2
0.9	1	2	3	4
0.5	4	7	10	14
0.1	22	44	66	88

Kuna igas kanalis võib olla kaks viiteviga, üks kui andmed muutuvad $0 \rightarrow 1$, ja teine, kui andmed muutuvad $1 \rightarrow 0$, siis mõlemaid muutusi tuleb testida.

Töötati välja efektiivne meetod viiterikete ja ülekostvuse avastamiseks isetestimise põhimõttel, kus testimine toimub töökiirusel ega vaja väliseid testimisseadmeid [38]. Meetodi uudsus seisneb selles, et erinevalt tuntud lahendustest võib seda kasutada nii sünkroonskeemides kui ka asünkroonskeemides. Uus efektiivne meetod töötati välja ka testsignaalide genereerimiseks *online*, mille uudsus seisneb lihtsas programmeeritavas regulatsioonivõimaluses, leidmaks optimaalset vahekorda (*tradeoff*) testimiskiiruse ja -täpsuse vahel [39].

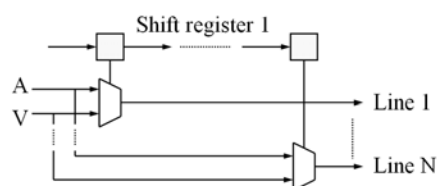
Signaalide sõltuvus ja vigade avastamise tingimused on märksa keerukamad signaalide *ülekostvuse* (crosstalking) juhtumil. Kirjanduses on välja pakutud ülekostvuse testimiseks konservatiivne aga väga efektiivne rikkemudel, mida nimetatakse *maksimaalse agressori* (*maximum aggressor*) rikkemudeliks. Selle mudeli järgi jaotatakse ühenduse juhtmed kahte gruppi: üks juhe on "*ohver*" (*victim*) ja ülejäänud juhtmed on "*agressorid*" (*agressors*) valitud

ohvri suhtes. Joonis 19 illustreerib kirjeldatud põhimõtet. Selles tabelis on ohvriks signaal i , ja esitatud 6 vektorit kujutavad täielikku ülekostvuse testi ühe konkreetse ohvri i suhtes.

Kuna kasutatud rikkemudel on konservatiivne ja seetõttu pessimistlik paljude juhtude jaoks, on võimalik seda mudelit teha vähem rangeks ning lubada üheaegselt mitme ohvri olemasolu ühenduses, mida parasjagu testitakse. Testi genereerimise ideed realiseeriv riistvara on esitatud joonisel 20. Skeemi on võimalik kergesti rekonfigureerida kõige konservatiivsemat (aga ühtlasi ka kõige aeglasemat) testi realiseerivast skeemist kuni vähemkonservatiivsemaid (ning kiiremaid) teste realiseerivate skeemideni. See annab suure vabaduse insenerile valida testimise rangust suvalisel toote arenduse ja kasutamise etapil, näiteks tehases tootmisel või hiljem tarbija juures kasutuses.

Bit positions in the bus				
	$i \dots i-1$	i	$i+1 \dots N$	
Sequence	000...000	0	000...000	} Glitch test 1
	111...111	0	111...111	
	111...111	1	111...111	} Glitch test 2
	000...000	1	000...000	
	111...111	0	111...111	} Skew test 1
	000...000	1	000...000	

Joonis 19. Testjada ühe ohvri jaoks



Joonis 20. Lihtne testigeneraator

Töötati välja uudne kombineeritud skeemisene testigeneraator kommunikatsiooniahelate testimiseks töökiirusel, mille väärtuseks on universaalsus, skaleeritavus ja konfiguratsioonist sõltumatus [26,27]. Meetod võimaldab läbi viia maskeerumisvaba täpset diagnoosi, mis ei nõua nn. “kuldse signatuuri” olemasolu. Väljapakutud arhitektuur arvestab kõikidele praktilistele süsteemidele esitatavate nõuetega nagu testjada paralleelsus, staatiliste ja dünaamiliste rikete avastamine, siini konfliktide vältimine jne. Samal ajal kuulub väljapakutud arhitektuur kõige optimaalsemate lahenduste hulka nõutava räni pindala poolest.

Uued tulemused:

Kaks uut meetodit on välja töötatud kiipide magistraalide testimiseks *täiskiirusel (at-speed testing)*:

1. Esimene meetod käsitleb testide genererimist ja rikete avastamist asünkroonsetes ühendustes GALS-tüüpi kiipvõrkudes ning on esimene taoline lahendus [38].
2. Teine meetod käsitleb paindlikku rekonfigureeritavat on-line testigeneraatorit, mis toetab kompromissi valikut testimiskiiruse ja testimistäpsuse vahel ja on mõeldud eeskätt magistraalide testimiseks mitmekihilistes kiipsüsteemides või kiipvõrkudes [39].

Mõlemad meetodid on ettenähtud eeskätt viitevigade ja ülekostvusvigade testimiseks, kus ülekostvuse puhul on kasutatud edasiarendatud klassikalist maksimaalse agressori rikkemudelit.

3. On välja töötatud uudne Boundary-Scan standardile vastav isetestimise kontseptsioon autonoomseks täiskiirusel isetestimiseks (at-speed testing) ja rikete diagnoosiks kommunikatsiooniühendustel [26,27]. Uus paradigma garanteerib esmakordselt nii universaalsuse, skaleeritavuse kui ka konfiguratsioonist sõltumatuse.

3.7. Teadusuuringute multifunktsionaalne keskkond

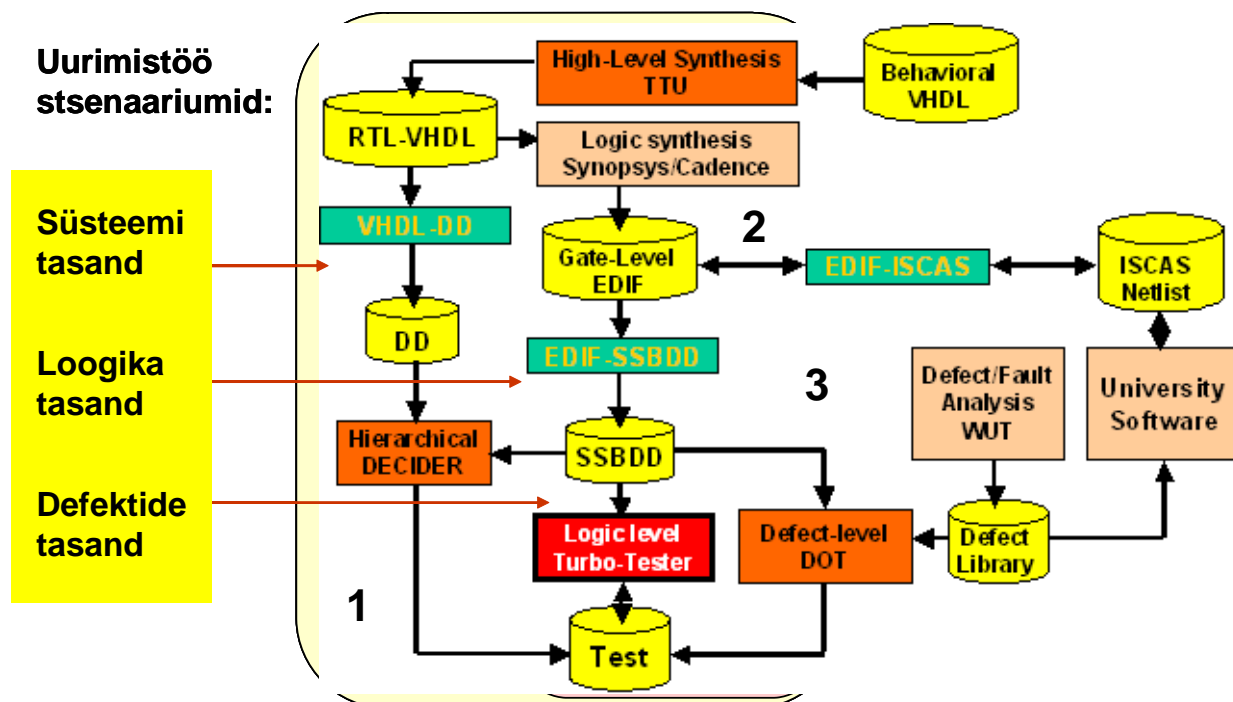
Uurimistöös tehtud hüpoteeside ning saadud teadustulemuste testimiseks ja kontrollimiseks sai loodud hulk tarkvaralisi ja riistvaralisi tööriistu, konvertereid ning stende, mis on tänaseks integreeritud koos juba varem eksisteerinud tarkvaravahenditega ühtsesse disaini ja testi teadusuuringute keskkonda, mida võib vaadelda käesoleva uurimuse kõrvaltulemuseks. Paljude tarkvaratööriistade jaoks on loodud võimalus neid kasutada rahvusvaheliste partnerite poolt ka üle Interneti.

Koostöös Fraunhoferi Instituudiga Saksamaal realiseeriti eelmistel aastatel keskkond MOSCITO nelja Euroopa ülikooli ja teadusasutuse (Fraunhoferi Instituut Dresdenis, Linköpingi ülikool Rootsis, Slovaki Teaduste Akadeemia ja TTÜ) disaini- ning diagnostikatarkvara kaugkasutuseks üle Interneti ning loodi ühtne disaini ja testi keskkond – *virtuaalne laboratoorium* [51,53,70].

Praegusel internetiajastul on oluline pikendada ka seniste programmide eluiga ja kaitsta varem tehtud investeeringuid. Ei ole mõeldav ja otstarbekas kõikide programmide ümberkirjutamine. Lõppkasutajal piisab tavalisest interneti brauserist. Süsteem on üles ehitatud kolmekihilisel klient-server tehnoloogial kasutades HTML keelt, Java applette, servlette ja vabavara andmebaasi MySQL serveri kasutajate haldamise süsteemi jaoks. Töötati välja meetodid ja vahendid digitaalseadmete testimiseks mõeldud programmide integreerimiseks internetipõhisesse keskkonda. Möödunud aastal täiendasime laboris keskkonna mitmeid omadusi, eeskätt neid, mis teevad võimalikuks töö läbi tulemüüri, aga samuti lülitasime keskkonda oma testide generaatori.

Välja töötatud teadusuuringute laboratoorne keskkond koosneb järgmistest osadest ehk tööriistagrupidest (joonis 21):

- Digitaalsüsteemide sünteesi tööriistad (kõrg- ja loogikatasandi süntees)
- Testide genereerimise tarkvaratööriistad (hierarhiliseks, loogikatasandi ja defektidele orienteeritud testide genereerimiseks)
- Konverterid (liidesed tööriistade vahel)
- Muud (ülikoolide) tööriistad, mis on keskkonda ühendatud või ühendatavad.



Joonis 21. Hierarhiline disaini ja testi teadusuuringute keskkond

Digitaalsüsteemi disaini võib keskkonda sisestada mitmel viisil, näiteks kasutades VHDL keele redaktorit teostamiseks kõrgtaseme sünteesi kommertstööriistade (*Synopsys, Cadence, Mentor Graphics*) või instituudis välja töötatud kõrgtaseme tööriistade (*xTractor*) abil, või käsitsi, kasutades skeemiredaktoreid. Ventiiltaseme disain esitatakse tööstuses üldlevinud EDIF formaadis. Ülikoolide praktikas seal välja töötatud tarkvaratööriistade puhul kasutatakse sagedamini ISCAS formaati, milles on esitatud rahvusvahelises akadeemilises maailmas väga levinud ISCAS benchmark-skeemid. Selleks, et kokku ühendada eri "maailmades" (tööstuses ja ülikoolides) välja töötatud disainitööriistu, töötasime välja mitmesuguseid konverteereid. Nii näiteks on meie keskkonnas võimalik konverteerida EDIF- kirjeldusi ISCAS formaati ja vastupidi. Töötati välja samuti vajalikud tehnoloogilised andmeteedide failid, et toetada konverteerimisi.

Instituudis välja töötatud Turbo-Testri (TT) tööriistad ja käesolevas uurimuses välja töötatud mitmed uued laiendused põhinevad ühtsel matemaatilisel SSBOD mudelil. Nimetatud tööriistade kasutamiseks töötati välja EDIF-SSBOD konverteerid, et ühendada TT disaini kommertstööriistadega. Hierarhiline testigeneraator DECIDER kasutab kahte sisendit – kõrgtaseme VHDL- kirjeldusi ja süsteemi komponentide EDIF- kirjeldusi. Et importida, VHDL- kirjeldusi DECIDER'isse, mis kasutab otsustusdiagrammide formalismi ehk OD- mudelit, tuli luua uus VHDL-OD konverter, mis osutus üsna keerukaks probleemiks, kuna sisuliselt oli ekvivalentne kõrgtaseme sünteesi ülesandega.

Loodud teadusuuringute keskkond võimaldab katsetada ning uurida järgmisi näitlikke disainivoogusid (vt. joonisel 21 eristatud alad 1,2 ja 3):

- Ala 1 joonisel 21: Käitumuslikust VHDL kirjeldusest sünteesitakse mingi kõrgtaseme sünteesi tööriistaga registersiirete tasandi (RTL) VHDL kirjeldus. Seejärel toimub süsteemi komponentide loogikatasandi süntees näiteks kommertstööriistadega Synopsys või Cadence, kus tulemus esitatakse EDIF-formaadis. Mõlemad disaini osad konverteeritakse vastavalt OD (DD – Decision Diagrams) ja SSBOD (SSBDD – Structurally Synthesized Binary Decision Diagrams) mudeliteks. Kasutades neid mudeleid toimub DECIDER'i ja Turbo-Testri abil hierarhiline testide genereerimine.
- Ala 2 joonisel 21: Lähtudes kas kommertstööriistade poolt sünteesitud EDIF formaadist või akadeemiliste näidisskeemide ISCAS formaadist sünteesitakse uurimiskeskkonnas kasutatav matemaatiline SSBOD (SSBDD) formaat ning uuritakse Turbo-Testri abil loogikatasandi testide sünteesi ja analüüsi protsesse.
- Ala 3 joonisel 21: Kasutades digitaalskeemide SSBOD (SSBDD) mudelit ning skeemi reaalse defektide andmeteedi uuritakse tööriistaga DOT defekt-orienteeritud testide sünteesi ja analüüsi protsesse.

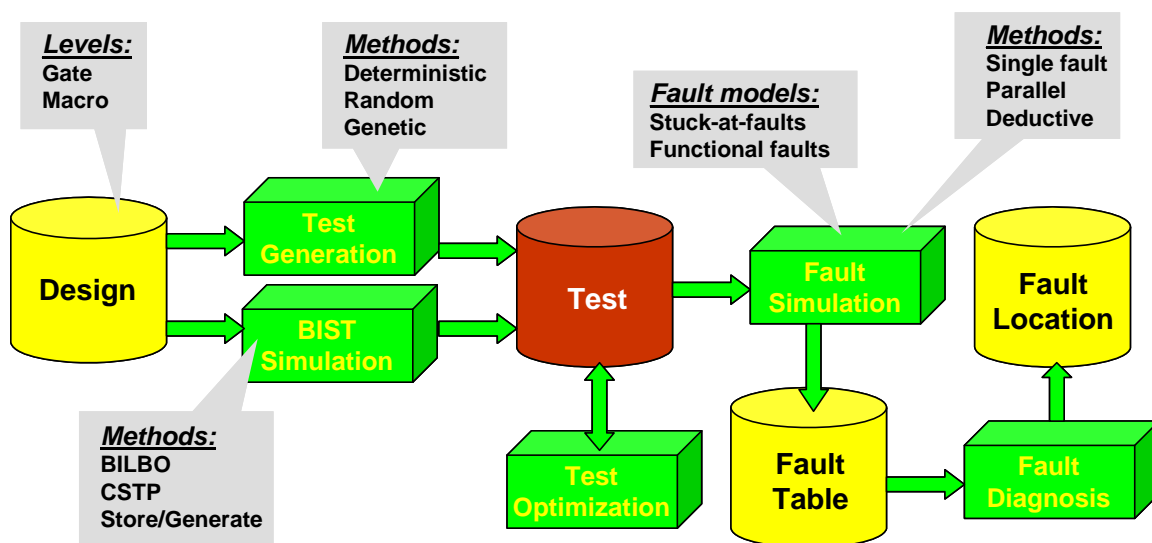
Turbo-Testri (TT) tööriistade pakett²⁰ kujutab endast sõltumatut loogikatasandi diagnostikatestide uurimiskeskkonda (joonis 22) [13]. TT tarkvara koosneb tervest reast tööriistadest järgmiste diagnostikaülesannete lahendamiseks:

- Testide genereerimine eri algoritmide järgi katsetamiseks deterministlikke, juhuslikke (*random*) ja geneetilisi meetodeid
- Testprogrammide optimeerimine (kokku pakkimine)
- Rikete simuleerimine ja testide kvaliteedi (rikete katte) mõõtmine

²⁰ www.pld.ttu.ee/tt/

- Defektidele orienteeritud testide süntees ja analüüs
- Mitmeväertuseline testide simuleerimine testiprogrammide dünaamiliste aspektide (dünaamiline ja staatiline risk, signaalide vaheline võistlus, viitevead ine.) uurimiseks
- Testitavuse analüüs ja rikete diagnostika ehk lokaliseerimine.

Kõik TT tööriistad kasutavad digitaalskeemide SSBOD mudelit ja analüüs toimub loogikatasandil ehk ventiilvõrkude struktuuri peal. On võimalik uurida skeeme eri keerukuse taseme juures – ventiilvõrke ja makrovõrke, mis annab suurepärase võimaluse testida näiteks uute loodavate tööriistade tundlikkust skeemide keerukuse suhtes. Siin *makro* tähendab seda, et teatud ventiilide grupp on ühendatud kokku ja vaadeldakse ühtse elemendina, kuid mitte *musta kastina*, vaid säilitades võimaluse jälgida diagnostika seisukohalt olulisi makro struktuurseid omadusi. Makrode kasutamine võimaldab oluliselt vähendada digitaalskeemide esituse keerukust. Testide sünteesil ja analüüsil on võimalik kasutada nii traditsioonilist loogikatasandi konstantse rikke mudelit kui ka uut füüsikaliste defektide uurimiseks loodud funktsionaalse rikke mudelit. Viimasel juhul tuleb kasutada spetsiaalset komponentide defektimudelite teeki.



Joonis 22. Loogika tasandi diagnostikaprotsesside uurimise katsekeskkond

Loodud keskkonna uus kvaliteet ja originaalsus seisnevad keskkonna multifunktsionaalsuses (tööriistade paljudes varieeruvates võimalustes), mis on eriti oluline uurimistööd ja doktoriõpet silmas pidades, samuti kasutamise lihtsuses ja odavuses. Vastandiks oleksid siin kallid kommertstööriistad, mis ehkki on võimsamad, on palju jäigemate kasutusvõimalustega, nad ei ole uurimistööle orienteeritud ja nad on liialt professionaalsed, eeldades üsna tõsist ettevalmistust ka kõige lihtsamate operatsioonide läbiviimiseks. Keskkonna multifunktsionaalsus tähendab seda, et eri abstraktsioonitasemega mudelid on kergesti sünteesitavad ja resünteeritavad uurimaks katsetatavate meetodite tundlikkust keerukuse suhtes, rikkemudelid on kergesti muudetavad ja modifitseeritavad uurimaks mudelite adekvaatsust ja testimise täpsust. Multifunktsionaalsus tähendab võimalust kergesti seada üles eri skeeme ning stsenaariume eksperimenteerimiseks (näiteks alad 1,2 ja 3 joonisel 21) katsetamaks uusi ideesid ja meetodeid.

Uurimiskeskonna multifunktsionaalsus annab suurepärase võimaluse doktorantidele ja üliõpilastele katsete läbiviimiseks eesmärgil mõista meetodite ja tööriistade põhiideesid, puudusi ja eeliseid mitmesuguste tingimuste muutudes. Traditsiooniliste kommertstööriistade kasutamise korral sellised puhtalt uurimisele orienteeritud võimalused puuduvad.

Põhilised antud uurimuses läbiviidud eksperimentaalsed katsetused toimusid nimetatud keskkonnas. Tänu loodud keskkonnale oli tekkinud ka baas intensiivseks rahvusvaheliseks koostööks, kus enamus eksperimente viidi läbi just Tallinnas. Keskkonna tööriistad on aga saanud populaarseks juba üle maailma. Nii näiteks Turbo-Testri diagnostikapakette on kasutatud juba rohkem kui 90 ülikooli või teadusasutuse laboris umbes 30 riigis üle maailma.

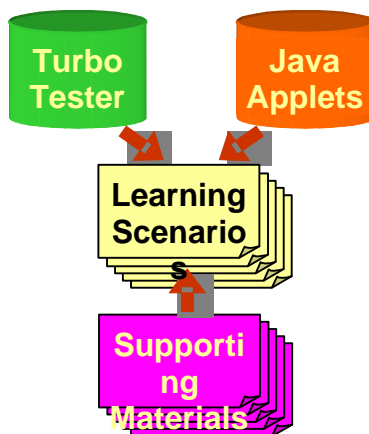
3.8. E-õppe webi-põhine laboratoorne keskkond

Üheks oluliseks käesoleva uurimistöö väljundiks on saavutatud teadustulemuste juurutamine õppeprotsessi vastavate innovaatiliste õppevahendite või laboris kasutatavate uurimistöö vahendite väljatöötamise näol [14,35,90]. Koostöös Ilmenau Tehnikaülikooliga oleme viimaste aastate jooksul välja töötanud internetil põhineva õpisüsteemi digitaaltehnikas disaini ja testi õpetamiseks tehnikaülikoolides, mis on pakkunud elavat huvi mitmel rahvusvahelisel konverentsil, s.h. USAs [14,35,41,43,57].

Töötasime välja rea webi-põhiseid applette digitaalsüsteemide disaini- ja diagnostikaprotsesside laboratoorseks uurimiseks järgmiste probleemide valdkonnas:

- loogikaskeemide disain [47,56,69],
- registersiirete tasandi disain [37,68],
- füüsikaliste defektide modelleerimine [87,94,95,98],
- loogikaskeemide testide süntees ja analüüs [41,63,97],
- registersiirete tasandi testide süntees ja analüüs [68,77,91,97]
- isetestimisprotsesside uurimine [46] ning
- elektroonikakomponentide ühendusahelate defekt-orienteeritud diagnostikaprobleemide uurimine [28,65,67].

Java appletidel põhinev tarkvara võimaldab läbi viia nii õppejõu demonstratsioone loenguruumis, individuaalõpet ja -treeningut, mis ei sõltu ei ajast ega kohast, kui ka eksamineerida tudengeid. On loodud hulk uurimisstsenaariume klassiõppetöö, laboratoorsete tööde ja ka kaugõppe paremaks organiseerimiseks. Möödunud aastal loodi portaal kogu tarkvara ühendamiseks ühtsesse interneti poolt kasutatavasse süsteemi [86].



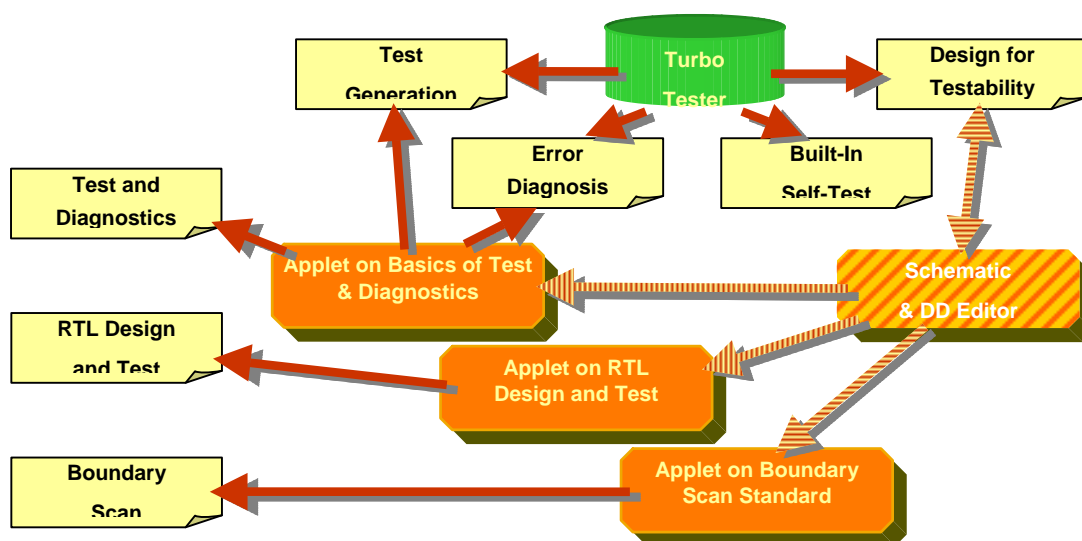
Joonis 23. e-õppe laboratoorne keskkond

E-õppe tarkvara meetodiline arendus oli koordineeritud ka europrojektiga REASON (IST-2000-30193) Framework V programmi raames ning meie poolt välja töötatud tarkvara on saanud laiema rahvusvahelise tunnustuse [14,35,41,43,57,61]. Õpisüsteemi kasutatakse regulaarselt

Jonköpingi Ülikooli õppekavas Rootsis, Darmstadt Tehnikaülikooli juures k.a. korraldatavas igaastases rahvusvahelises suvekoolis, mitmetes ülikoolides Hollandis, Poolas, Tshehhi Vabariigis, Slovakkias, Bulgaarias jne. ning soovitakse hakata kasutama ka paljudes teistes Lääne ülikoolides. Näiteks projekti REASON raames välja töötatud defektide uurimise keskkonna DefSim [94,95,98] on endale tellinud ligemale 50 ülikooli Euroopas.

Koostöös Poola teadlastega projekteeriti unikaalne õpekiip, mis võimaldab uurida sadu erinevaid füüsilisi defekte reaalses töökeskkonnas (kiipi plaanitakse rakendada ca 40 Euroopa ülikoolis) [94,95,98].

Kogu keskkonna üldine struktuur on esitatud joonisel 23. See koosneb Java applettide komplektist, Turbo-Testri tarkvarast, mis toetab applette, applettide ja TT baasil koostatud õppe- ja uurimisstsenaariumidest ning täiendavast tekstimaterjalist stsenaariumide toetamiseks ning tööks selles keskkonnas ettevalmistamiseks.



Joonis 24. e-õppe laboratoorse keskkonna tööriistad ja tööprojektid

Joonisel 24 on esitatud detailsem keskkonna struktuur, mis koosneb tööriistadest (TT, appletid, objekti matemaatilise mudeli redaktor) ja tööprojektid, mida keskkond toetab.

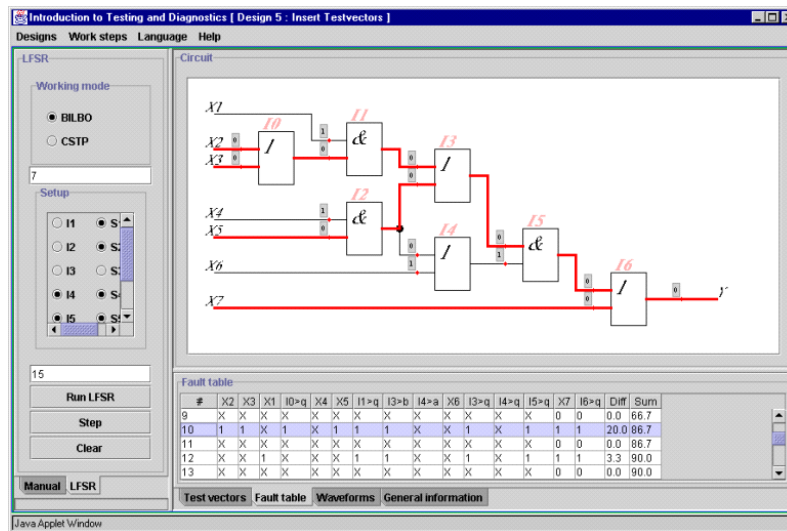
Turbo Tester

Laboratoorse keskkonna tuumaks on juba eelpool lühidalt kirjeldatud Turbo Tester (joonis 22), mis on installeeritud lokaalselt, ning Java applettide komplekt. Seejuures kõiki neid tööriistu saab kasutada üle interneti, mistõttu seda e-õppe keskkonda võib nimetada *virtuaalseks laboratooriumiks*. TT sai valitud sellesse keskkonda selles sisalduva suure hulga ühtsesse süsteemi lülitatud diagnostika tööriistade tõttu, mis võimaldavad läbi viia rikkaliku valiku uurimisstsenaariume ja laboratoorseid töid ning kursuse või diplomiprojekte.

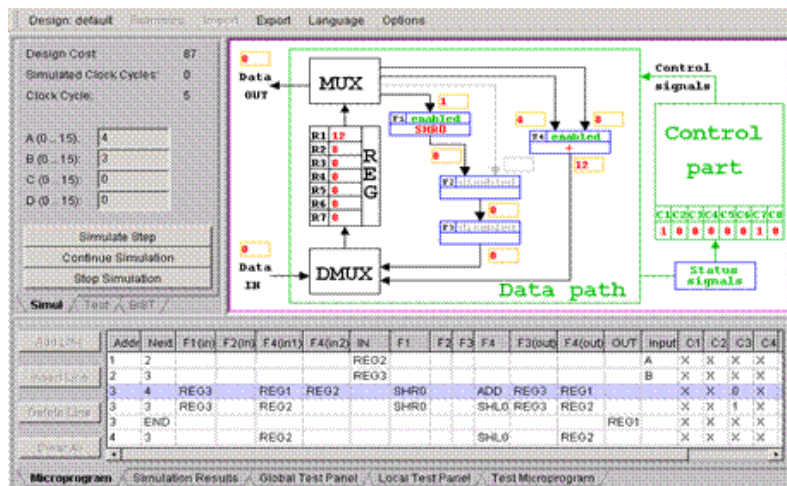
Java appletid

Java applettide kasutamise idee on pisut teistsugune. Nad on põhiliselt mõeldud toetamiseks võimalust tudengitel tundma õppida, kuidas lahendada lihtsamate näidete abil põhilisi digitaalskeemide ja süsteemide testimise ülesandeid, mõistma õppida nende ülesannete probleemiseadeid ja lahendusideeid, eksperimenteerida ise diagnostika probleemide kallal.

Loogikatasandi diagnostika applet²¹ (joonis 25) on varustatud hulga näidisskeemidega, mida üliõpilane võib andmete teegist valida. Valitud digitaalskeemiga katsete sooritamiseks saab skeemi sisestada testvektoreid (vasakpoolne paneel), milliseid tuleb aga ise genereerida, seejuures lahendades ka optimeerimisülesandeid. Saab katsetada eri meetodeid ja võrrelda neid. Applet võimaldab genereeritud vektoreid simuleerida rikete suhtes, mille tulemusena tekib nn. rikete tabel (alumine paneel), kus on näha, milliseid rikkeid suudavad valitud testvektorid avastada. Valides mingi konkreetse testvektori, saab ülemisel paneelil skeemi pildil jälgida, millised signaaliteed on testvektoriga aktiveeritud testvektori diagnostilise võime määramiseks. Applet võimaldab uurida ka mitmeid diagnostikameetodeid – sekventsiaalseid ja kombinatoorseid, ning katsetada erinevaid diagnoosialgoritme ning lokaliseerida skeemi “tekitatud” rikkeid.



Joonis 25. Diagnostikaülesannete lahendamise applett loogikatasandil

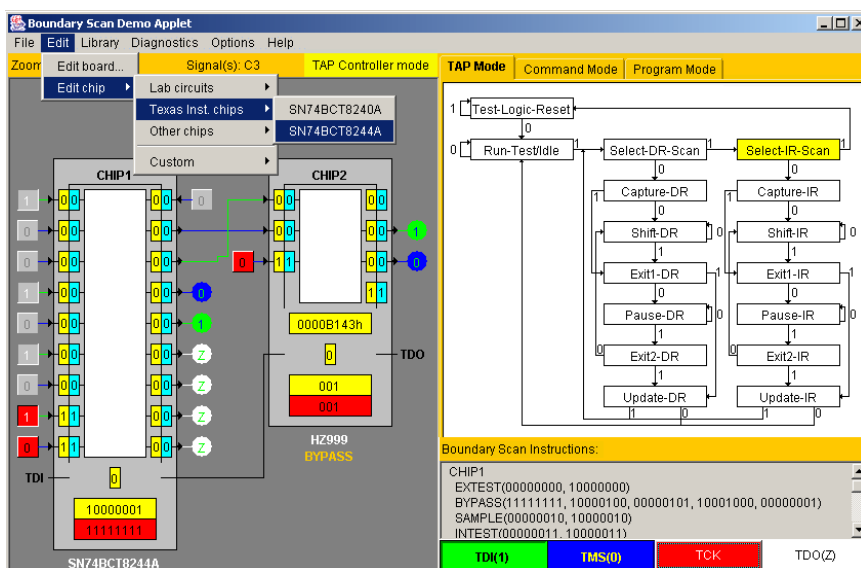


Joonis 26. Diagnostikaülesannete lahendamise applett registersiirete tasandil

²¹ <http://www.pld.ttu.ee/applets/td/>

Diagnostikaülesannete lahendamiseks keerulisemate registersiirete tasandil esitatavate süsteemide puhul on loodud registersiirete tasandi applet²² (joonis 26), kus on võimalik valida tüüpilisemaid digitaalsüsteemide struktuuriskelette (M-automaat, I-automaat, paralleelne või järjestikuline või paralleel-järjestikuline IM automaat jne), ja kus suvaliste arvutusalgortimide jaoks mikroprogramme projekteerides saab ise kiiresti ja lihtsalt küllaltki keerukaid digitaalsüsteeme “kokku panna” ning diagnostikameetodite efektiivsust uurida.

Joonisel 26 ülapaneeilil on esitatud katsetatav süsteem, alapaneeilil on näha uurija poolt projekteeritud mikroprogramm ja vasakul saab ette anda mitmesuguseid parameetreid testprogrammide katsetamiseks (töökiirus, realiseeritud skeemi keerukus e. realisatsiooniks kuluv ventiilide arv) ja mitmesuguste testimismeetodite katsetamiseks ning kvaliteedi hindamiseks.



Joonis 27. Diagnostikaülesannete lahendamise applett registersiirete tasandil

Kolmas applet²³ (joonis 27) on projekteeritud digitaalsüsteemide diagnostika standardide uurimiseks ja mille tähtsus on palju laiem kui õppekeskkonna element. Applet on kasutatav professionaalsete testprogrammide projekteerimiseks Boundari Scan (BS) standardi järgi, seda appletti on soovitud kasutada oma koolitusprogrammides mitmed firmad (JTAG Technologies, Bennetts Associates) ja see tarkvara on saanud aluseks koostööle firmadega Ericsson AB ja SAAB.

BS standard on kujunenud üheks levinenumaks kaasaegseks testimisparadigmaks keerukate digitaalsüsteemide juures. Applet võimaldab uurida standardi põhimõtteid, põhiliste käskude ja operatsioonide kasutamist testprogrammide koostamisel. BS standard tähendab integraalskeemide sisendite-väljundite haaramist ühtse skaneeritava nihkeregistriga (vasakpoolne paneel) skeemi juhitud ja jälgitud parandamiseks. Nihkeregistri kasutamist juhib spetsiaalne kontrollor (parempoolne paneel). Standard hõlbustab nii integraalskeemide enda testimist montaažplaadil kui ka ühendusriikete diagnoosimist. Applet võimaldab visualiseerida

²² <http://www.pld.ttu.ee/applets/rtl/>

²³ <http://www.pld.ttu.ee/applets/bs/>

testide koostamise ja diagnoosi protsessi.

Töö applettidega annab hea ettevalmistuse, et nõudlikemate probleemide juurde üle minna, milliste lahendamiseks tuleks juba TT tööriistu kasutada.

Applettidel põhinevad uurimisstsenaariumid

Keskseks punktiks kirjeldatud applettide puhul on nende kasutamine mitmesuguste teaduslike uuringute ja inseneritöö stsenaariumide puhul, kus tuleb koostada teste, simuleerida teste, analüüsida testide kvaliteeti ning diagnoosida skeemirikkeid. On välja töötatud stsenaariumid nii algajatele selles valdkonnas kui ka professionaalidele. Tarbijasõbralikud graafilised liidesed teevad appletid eriti kasulikuks algajatele inseneridele ning üliõpilastele, kes õpivad digitaalsüsteemide projekteerimisega seotud aineid. Keerukamate stsenaariumide puhul tuleks koos applettidega kasutada ka teisi professionaalseid diagnostikatööriistu, milleks sobib ka Turbo-Tester. Stsenaariumide kirjeldused ning juhendid on kättesaadavad veebis²⁴.

4. Uurimistöös osalenud kollektiiv

Uurimistöös osalesid väga aktiivselt minu juhendada olevad doktorandid A.Jutman, E.Ivask, E.Orasson, H.Kruus, M.Jenihhin, N.Mazurova, J.Smahtina, T.Vassiljeva, S.Devadze, külalismagistrandid V.Govind Rootsist ja J.Sudbrock Saksamaalt, hiljuti doktorikraadi kaitsnud M.Brik ja J.Raik ning teised.

Uurimistööl läbiviimisel oli tähtis roll järgmistel minu juhendada olnud kaitsnud väitekirjadel:

Kaitstud doktoritöö:

1. **Artur Jutman.** Selected Issues of Modelling, Verification and Testing of Digital Systems., TTÜ Kirjastus, Tallinn, 2004 (kaitstud 6.10.2004).

Kaitstud magistritööd:

1. **Joachim Sudbrock.** Defect-oriented ATPG for standard cell ASIC designs (kaitstud 28.02.2005)..
2. **Tatjana Shchenova.** Energy minimization in HBIST for SOC (kaitstud 27.05.2005).
3. **Artjom Kurbatov.** SSBDD mudeli omaduste uurimine testide genereerimise aja vähendamiseks (kaitstud 27.05.2005).
4. **Vineeth Govind.** RTL Test Point Insertion for Improving Testability in Sequential Circuits (külalismagistrand Stockholmi Kuninglikust Tehnoloogiaülikoolist) – publitseeritud 1 teadusartiklina (kaitstud 10.05.2004).
5. **Vladisl. Vislogubov.** Webipõhise õppesüsteemi väljatöötamine aines “Digitaalsüsteemide Diagnostika” – publitseeritud 2 teadusartiklina (kaitstud 10.05.2004).
6. **Maksim Jenihhin.** Test Time Minimization for Parellel Hybrid BIST Architectures – publitseeritud 6 teadusartiklina (kaitstud 07.06.2004).
7. **Julia Smahtina.** Hybrid Functional BIST – publitseeritud 3 teadusartiklina (kaitstud 07.06.2004).
8. **Natalja Mazurova.** Functional BIST with DFT – publitseeritud 3 teadusartiklina (kaitstud 07.06.2004). **Jelena Tünni.** Õppevahend aines “Digitaalsüsteemide diagnostika. Rikete süntees ja analüüs” (kaitstud 07.06.2004).

²⁴ http://www.pld.ttu.ee/applets/rtl/rtl_exercises.html, http://www.pld.ttu.ee/applets/bs/bs_exercises.htm,
http://www.pld.ttu.ee/applets/bs/bs_exercises.htm

9. **Jekaterina Grüning.** Õppevahend aines “Digitaalsüsteemide diagnostika. Diagnostiline modelleerimine” (kaitstud 07.06.2004).
10. **Dmitri Zhukov.** Development of an educational environment based on DEFSIM (kaitstud 07.06.2004).
11. **R.Raidma.** Kontrollitavuse parandamisel põhinev järjestikskeemide isetestimise meetod. Juhendaja: R.Ubar (Juuni, 2003).
12. **H. Kruus.** Iteratiivsed mittedeterministlikud optimeerimisalgoritmid. Juhendaja: R.Ubar (Juuni, 2003).

Uurimistööga olid vahetult seotud ka järgmiste üliõpilaste bakalaureusetööd: O.Korelina (publitseeritud teadusartiklina [59]), A.Kurbatov, I. Polevoi, M. Bozhko, T.Vassiljeva, A.Mekler, S.Devadze, N.Mazurova, M.Jenihhin, J. Smahtina, H.Hantson, D.Goihman, D.Zhutschkov ja T.Vaarmets. Oma diplomitöö tegi TTU juures minu juhendamisel ka Kopenhageni Tehnikaülikooli tudeng Björn Klüver, mille põhitulemused esitasime ühispublikatsioonina [66].

5. Uurimistöö seotus rahvusvahelise koostööga

Rahvusvahelised projektid:

Projektidega haaratud uurimistöö on kulgenud väga tihedas rahvusvahelises koöperatsioonis rohkem kui 10 teadusasutuse ja ülikooliga Lääne-Euroopas ja mujal.

Ajavahemikul 2003-2005 on uuringud olnud koordineeritud **nelja europrojektiga** ja kahe bilateraalse välisprojektiga:

- Framework V Project IST - 2000 - 30193 "REsearch And Training Action for System On Chip DesigN - REASON" (2002-2004)
- Framework V Project IST - 2001 - 37592 "Establishment of the Virtual Centre of Excellence for IST RTD in Estonia - EVIKINGS" (2002-2005)
- ESPRIT Action EUROPRACTICE
- SOCRATES Thematic Network Project No 10063-CP-1-2000-1 "Thematic Harmonisation in Electrical and Information EngineeRing in Europe - THEIERE"
- EST-000/01 “Built-in Self-Test (BIST)” (2000-2003) Saksa-Eesti Haridusministeeriumide poolt koordineeritud bilateraalne projekt
- DILDIS – Distance Learning on Digital Systems (1999-2003). Saksamaa Haridusministeeriumi poolt koordineeritud ühisprojekt Ilmenau Tehnikaülikooliga.

Koostöö Rootsi ülikoolidega ja firmadega:

Koostöös firmaga **DIGSIM DATA AB** ning **Jönköpingi Ülikooliga** Rootsis (vastastikkuse originaaltarkvara vahetuse teel) on installeeritud TTÜ arvutuskeskuses elektroonikadisaini tarkvara DIXIcad, mida kasutab igal aastal rohkem kui **300 TTÜ tudengit**.

Jönköpingi ülikooliga on realiseerunud koostöö, mille eesmärgiks oli juurutada seal TTÜ-s välja töötatud **diagnostika-alane õppekursus**. Nimetatud kursust on ajavahemikul 2003-2005 läbi viidud igal aastal kevadsemestril 36-44 tunni ulatuses loengu- ja laboritsükliina, milles osales ka doktorand Artur Jutman. Kursus leidis rootsi üliõpilaste seas äärmiselt suure huvi. Paralleelselt kursuse läbiviimisega töötades koos rootsi teadlastega käivitasime ühisuuringud kiipsüsteemide ja kiipvõrkude diagnostika alal.

Koostöös Jönköpingi Ülikooliga töötasime välja uudse meetodi ühendusvõrkude testimiseks kiipsüsteemides ja kiipvõrkudes, kus spetsiaalseks uurimisobjektiks olid signaalide ülekoostvushäired [43]. Märkimisväärseks tulemuseks on ka spetsiaalse skeemilahenduse

väljatöötamine ühendusvõrkude isetestimiseks dünaamikas, kus on originaalselt lahendatud skaleeritavus, mis võimaldab kergesti kompromisslahendusi leida testimiskiiruse ja testimiskvaliteedi vahel [47].

Linköpingi Ülikooliga toimus koostöö hübriidse isetestimise valdkonnas [5, 21, 22, 26, 35, 50, 52, 60, 77, 95-97], kus lahendasime mitmeid optimeerimisülesandeid süsteemide testarhitektuuride projekteerimisel nii testimisaja, võimsustarbe kui ka aparatuurimahu minimeerimiseks etteantud kitsendustel.

Digitaalsüsteemide projekteerimise valdkonnas ühistöös **Sockholmi Kuningliku Tehnoloogia Kõrgkooli** teadlastega töötasime välja uue meetodi testitavuse mõõtmiseks ja parandamiseks [60].

Koostöö Saksamaa ülikoolidega ja teadusasutustega:

Kooperatsioon uute inseneritöö paradigmade tutvustamisel õppetöös on käivitunud **Darmstadti Tehnikaülikooliga**, kus rahvusvahelise magistrandidele ja doktorandidele korraldatud suvekoolide raames on aruande autor läbi viinud digitaalsüsteemide diagnostika-alast õppekursust 32 tunni ulatuses kolmel korral ajavahemikus 2003-2005. Kursusest saavutatud efektiks võiks nimetada ühes kursusel osalenus J.Sudbrocki's äratatud huvi TTÜ-s toimuva uurimistöö vastu. Huvi realiseerus tema magistriõpingute näol meie labori juures, mille raames ta programmeeris unikaalse defekt-orienteeritud testigeneraatori. Ühise koostöö tulemused on publitseeritud ühisartiklites [23,31,32].

Nimetatud kursuse vastu on huvi tuntud ka teistes ülikoolides, oleme kutsunud 2006. aastal seda kursust läbi viima näiteks Ilmenau Tehnikaülikoolis Saksamaal. Kutseid on ka mujalt, probleemiks on ajapuudus.

Koostöös **Ilmenau Tehnikaülikooliga** oleme välja töötanud uued inseneriõppe meetodid ja vahendid mitmetes digitaalsüsteemide projekteerimise valdkondades: e-õppe metodoloogia inseneriõppes [14,35,41,43,57], e-õppekeskkonna arendustöö [53,57,61], digitaalskeemide projekteerimine [47,56,69], digitaalskeemide testimine [41,97].

Nimetatud koostöös mängis suure osa TTÜ magistrandide ja doktorandide panus (A.Jutman, S.Devadze, V.Rosin, R.Gorjachov, A.Chernov, J.Smahtina, N.Mazurova ja A.Sergejev) nende stazheerimisperiodide ajal Ilmenaus, milleks toetust saime nii kohalikult ülikoolilt kui ka europrojektidest.

Interneti-põhise virtuaalse labori rajasime koostöös **Fraunhoferi Integraalskeemide Instituudiga** Dresdenis. Meie uurimisgrupi poolt väljatöötatud diagnostikasüsteemiga Turbo-Tester on võimalik üle veebi töötada geograafiliselt eri paigus, kasutades MOSCITO keskkonda, mis loodi Fraunhoferi Instituudis. Projekti realiseerimiseks stazheerisid instituudis doktorandid E.Ivask, A.Jutman ning vanemteadur J.Raik. Töö tulemuseks perioodilt 2003-2005 on kaks ühispublikatsiooni [51,70].

Koostöö Ukraina ülikoolidega

Viimasel kolmel aastal on intensiivselt toimunud koostöö **Harkovi Rahvusliku Raadiotehnika Ülikooliga** (HRRÜ). Teadustöö on leidnud väljundi kahe ühispublikatsiooni näol. Lisaks sellele korraldasime kolm rahvusvahelist ühisüritust aastatel 2003-2005: "East-West Design & Test – EWDTTC" konverents Alushtas (2003, 2004) ja Odessas (2005), mille aseesimeheks aruande autor oli ja mille neljas väljalase toimub Sochis käesoleval aastal [7,9]. Konverentsi eesmärk oli kokku viia Lääne ja Ida juhtivaid teadlasi ja konverents on võitnud juba laialdase rahvusvahelise tunnustuse, oleme viinud ta IEEE koordineerimise alla ja loodud kontaktide näol on käivitunud palju rahvusvahelisi ühisprojekte Ida ja Lääne teadusinstituutide ning ülikoolide vahel.

Intensiivne ühistegevus Harkovi teadlastega rahvusvahelise koostöö intensiivistamisel leidis tunnustust aruande autori valimisega 2004. aastal **HRRÜ auprofessoriks**.

Teaduslik uurimistöö ühiselt HRRÜ-ga on toimunud digitaalskeemide rikete simuleerimise vallas, kus arendasime välja uue lähenemisviisi rikete paralleelseks deduktiivseks analüüsiks [11,72].

Koostöö **Donetski Riikliku Ülikooliga** toimub süsteemide isetestimise valdkonnas, kus oleme uusi tulemusi saavutanud geneetiliste algoritmide kasutamisel isetestimisprotseduuride optimeerimisel ja testide kvaliteedi tõstatmisel [24,84].

Muu rahvusvaheline koostöö

Viimasel kolmel aastal (2003-2005) on ühispublikatsioonides väljundi leidnud uurimistöö toimunud teadlastega rohkem kui 20 uurimisasutusest 14 riigist. Käesoleva aruande publikatsioonide nimekirjas olevast 98 artikli hulgas on 50 ühispublikatsiooni kokku 38 teadlasega välismaalt: K.-H.Diener, G.Elst, P.Muhmentaler, A.Schneider, J.Sudbrock, H.-D.Wuttke (**Saksamaa**), T.Bengtsson, P.Eles, G.Jervan, S.Kumar, Z.Peng (**Rootsi**), M.Renovell, Ch.Landrault (**Prantsusmaa**), P.Prinetto (**Itaalia**), B.Klüver (**Taani**), S.Hyduke (**USA**), V.Govind (**India**), Z.Kotasek, O.Novak (**Tshehhi Vabariik**), M.Balas, M.Fisherova, E.Gramatova, T.Pikula, J.Strnadel, J.Zahradka (**Slovakkia**), W.Kuzmicz, W.Pleskacz (**Poola**), M.Hristov (**Bulgaaria**), V.Lantsov, A.Matrossova, A.Pleshkov (**Venemaa**), V.Hahanov, D.Ivanov, M.Lobur, V.Skobtsov, Y.Skobtsov (**Ukraina**), V.Nelayev, V.Stepanets (**Valgevene**).

Tihedam koostöö käib Rootsi [5,16,17,22,29,38,39,40,42,59,73,74,75,79], Saksamaa [13,23,28,31,32,34,35,41,43,47,51,53,56,57,61,69,70,90,92,93] ja Poola [19,23,31,32,90] teadlastega. Koostöös paljude Euroopa teadlastega on kirjutatud kolm monograafiat: toimetamine ja 2 peatükki {[14,19,20], 2 peatükki [16,17] ja 1 peatükk [18] ning 2 konverentsikogumikku [92,93]. Raamatuga [14] on kaasas CD diagnostika-alase õpitarkvaraga, mis on samuti rahvusvahelise koostöö tulemus.

Käesolevaks hetkeks on uurimisgrupi poolt välja töötatud diagnostikatarkvara kasutatud või kasutusel nii õppe- kui uurimistöö eesmärkidel ligi 90 ülikoolis ja teadusasutuses rohkem kui 30 eri riigist üle maailma.

Rahvusvaheliste konverentside juhtimine:

Ajavahemikul 2003-2005 on meie uurimislabor on olnud järgmiste rahvusvaheliste konverentside põhikorraldajaks (kusjuures käesoleva aruande autor on olnud ise kas konverentsi esimees või aseesimes):

- 1st East-West Design & Test Workshop (Alushta, 2003) – aseesimees
- 2nd IEEE East-West Design & Test Workshop (Alushta, 2004) – aseesimees
- 9th IEEE European Test Symposium (Ajaccio, 2004) – aseesimees
- 3rd IEEE East-West Design & Test Workshop (Odessa, 2005) – aseesimees
- 10th IEEE European Test Symposium (Tallinn, 2005) – esimees
- 4th IEEE European Board Test Workshop (Tallinn, 2005) – peakorraldaja
- International REASON Workshop (Tallinn, 2005) – esimees
- 4th IEEE East-West Design & Test Workshop (Sochi, 2006) – aseesimees
- IEEE DDECS Workshop (Praha, 2006) – PR esimees

Aruande autori koralduslik-organisatoorne tegevus aastatel 2003-2005:

Kuuluvus rahvusvahelistesse organisatsioonidesse:

1. Test Technology Technical Council, TTTC (alates 1996)
2. European Test Technology Technical Committee, ETTTC (alates 1995)
3. European Assotiation for Education in Electrical and Information Engin., EAEIE - Nõukogu liige (alates 2001)
4. Assotsiatsiooni IEEE TTEP konkursikomitee liige

5. IEEE Technical Council on Software Engineering European regional group (alates 1995)
6. IEEE Education Society, USA (alates 1995)
7. IEEE Computer Society, USA (alates 1995)
8. IEEE Circuits and Systems Society, USA (alates 1999)
9. ACM, USA (alates 1996)
10. SIGDA, USA (alates 1998)
11. Saksamaa Informaatika ühing, GI (alates 1995)
12. Euroopa Ühenduse assotsiatsioon EURO PRACTICE (alates 1995)
13. International Academy of Sciences and Arts, USA (alates 1996)

Konverentside korraldamine ja töö programmi- või korralduskomiteede juhina:

1. General Chair of the 10th IEEE European Test Symposium, Tallinn, May 22.-25, 2005
2. Vice-General Chair of the 3rd IEEE East-West Design & Test Conference, Odessa, Sept. 23-26, 2005
3. Vice-General Chair of the 4th IEEE East-West Design & Test Conference, Sochi, Sept. 17-21, 2006
4. Local Chair of the 4th IEEE European Board Test Workshop, May 25.-26, 2005
5. General Chair of the EU REASON Workshop, Tallinn, May 21, 2005.
6. Tutorial Chair of the 10th IEEE European Test Symposium, Tallinn, May 22.-25, 2005
7. Topic Chair of the 10th IEEE European Test Symposium, Tallinn, May 22.-25, 2005
8. Tutorial Chair of the IEEE Conference on Design and Diagnostics of Electronic Circuits and Systems – DDECS, Sopron, April 13-16, 2005
9. Publicity Chair of the IEEE Conference on Design and Diagnostics of Electronic Circuits and Systems – DDECS, Prague, April 18-21, 2006
10. East Europe Liaison Chair of the IEEE Latin-American Test Workshop, (2004 - 2006)

Korralduskomitee liige:

1. IEEE European Dependable Computing Conference (1994 -)
2. Baltic Electronics Conference - BEC (1992 -)
3. IEEE Conf. on Design and Diagnostics of Electronic Circ. and Systems – DDECS (1998 -)
4. IEEE Euromicro Conf. on Digital Systems Design - DSD (2002 -)
5. IEEE East-West Design & Test Conference – EWD&TW (2002 -)
6. IEEE Norchip Conference (1997 - 2003)

Programmikomitee liige:

1. IEEE Design Automation and Test in Europe - DATE (2001 -)
2. IEEE European Test Symposium - ETS (1996 -)
3. IEEE International Symposium on Quality Electronic Design – ISQED (2001 -)
4. IEEE EUROMICRO Conference (2001 -)
5. IEEE European Dependable Computing Conference (1994 -)
6. IEEE NORCHIP Conference (1997 -).
7. IEEE Latin-American Test Workshop (2002 -)
8. IEEE Conf. on Design and Diagnostics of Electronic Circ. and Systems – DDECS (1998 -)
9. IEEE Int.l Conf. on Automation, Quality&Testing, Robotics - AQTR (2004 -)
10. IEEE East-West Design & Test Conference – EWD&TW (2002 -)
11. European Conference on Circuit Theory and Design - ECCTD (2001 -)
12. Electronic Circuits and Systems Conference - ECS'05 (1997 -)
13. International Conf. on Mixed Design of VLSI Circuits - MIXDES (1996 -).
14. 1st Int. Workshop on Testability Assessment – IWoTA (2004 -)
15. 6th Int. Workshop on Boolean Problems (2004 -)
16. Baltic Electronics Conference - BEC (1992 -)

Rahvusvahelised autasud:

1. IEEE Computer Society Meritorious Service Award (For providing leadership to the European Test Workshop/Symposium in the past decade and significant services as General Chair in 2005)
2. IEEE Computer Society Golden Core Member Award (2005)

Rahvusvaheliste seminaride korraldamine Tallinnas:

Aastatel 2003-2005 korraldasime Tallinna Tehnikaülikooli juures terve rea rahvusvahelisi seminare ja tütoreiale, kus lektoritena esinesid järgmised nimekad teadlased USAst, Inglismaalt, Prantsusmaalt, Saksamaalt, Hispaaniast, Hollandist, Rootsist, Soomest ja Valgevenest:

1. **M.Austin** (JTAG Technologies, Finland), 15.05.2003
Teema: Boundary Scan Principles
2. **J.Pauve** (Insight Memex/Xilinx, France), 15.05.2003
Teema: Enhancing Board Testing Using Programmable Logic
3. **J.Palola** (National Instruments Finland), 15.05.2003
Teema: Configurable I/O with FPGA
4. **B.Bennetts** (Bennetts Associates, UK), 06.-08.10.2003
Teema: Techniques For Designing Testable ICs
5. **R.Hartenstein** (Kaiserslautern University, Germany), 13.-16.05.2004.
Teema: Reconfigurable Computing and its impact on embedded systems and supercomputing.
6. **K. Chakraborty** (Duke University, USA), 10.09.2004
Title: Droplet-Based "Digital" Microfluidic Systems: Computer-Aided Design, Testing, and Applications
7. **T. Vierhaus** (Technical University of Brandenburg, Cottbus, Germany), 20.-22.09. 2004.
Teema: Fault-tolerant systems
8. **H.Tenhunen** (KTH, Stockholm, Sweden), 04.10.2004
Teema: Educational Challenges and Strategies in Electronics
9. **M.Glesner** (TU Darmstadt, Germany), 04.10.2004
Teema: System Design Challenges in Ubiquitous Computing Environments
10. **S.Kumar** (Jönköping University, Sweden), 05.10.2004
Title: Networks on Chip (NoC): a new paradigm for SoC Design
11. **B.Magnhagen** (DIGSIM DATA AB, Linköping, Sweden), 06.10.2004
Teema: Electrical test is not enough
12. **A.Zakrevski** (Academy of Sciences, Minsk, Belorussia), 11-12.12.2004
Teema: Discrete Systems
13. **Y.Zorian** (Virage Logic, USA), 22.05.2005
Teema: System on Chip: Embedded Test in Practice
14. **J.L.Huertas** (IMSE-CNM, Spain), 22.05.2005
Teema: Design for Test of Analogue and Mixed-Signal Integrated Circuits
15. **J.Segura** (Balearic Islands University, Spain), 24.05.2005
Teema: Understanding Failure Mechanisms and Test Methods in Nanometer Technologies
16. **P.Maxwell** (Agilent Technologies, USA), 24.05.2005
Teema: CMOS Image Sensors and Optical Testing
17. **H.-J.Wunderlich** (University of Stuttgart, Germany), 25.05.2005
Teema: From Embedded Test to Embedded Diagnosis
18. **H.G.Kerkhoff** (Institute for Nanotechnology – The Netherland), 25.05.2005
Teema: Testing of MEMS-based Microsystems
19. **D.Borrione** (Fourier University Grenoble), 03.-06.06.2005

Teema: Formal verification of digital integrated systems
20. **P.Amblard** (TIMA Laboratory, Grenoble), 03.-06.06.2005
Teema: Design of finite state machines

6. Uurimistöö seotus tööstusega

3.1. Koostöö Eesti tööstusega

Ajavahemikul 2003-2005 oleme ühel või teisel moel koopereerinud Eestis järgmiste tööstuspartneritega: Artec Design, Elcoteq Network Corp., Analog Design AS, Liewenthal, Elvior, M&T Electronics, Cybernetica AS, Borthwick Pignon, AS MicroLink, National Semiconductor Estonia, Testset, Testonica Lab. Nimetatud firmade esindajad on osalenud meie poolt korraldatud õppeseminaridel ja tutorialidel või osalenud meie õppekeskkonna arendustöös.

Tihedam kontakt on meil Eesti väga eduka firmaga **Artec Design**, kellega meil toimus aastail 2002-2004 ühisprojekt "Mikrotest" isetestivate süsteemide projekteerimise alal. Mitmed selle projekti käigus saadud tulemused publitseeriti ja neid katsetati firma toodete peal [49,76,83]. Firma töötajad aga on osalenud instituudi arendustöös õppevahendite väljatöötamisel ja eksperimentaalbaasi loomisel.

Uut välja töötatud kiipsüsteemide isetestimise meetodit uuriti ja rakendati firma projekteerimistöös [42,49,76]. Uued välja töötatud tööriistad hõlmavad tarkvara isetestimisarhitektuuride emuleerimiseks [5,29,59], hierarhilist testide genereerimist [12,44,45,83] ning rikete simuleerimist [66].

Nimetatud projekti üheks tulemuseks oli vastastikkuse koostöö huvi suurenemine, mis realiseerus Missioonikriitiliste sardsüsteemide arenduskeskuse ELIKO loomisel kahe uue projektina, mis käsitlevad digitaalsüsteemide diagnostikat ja verifitseerimist.

3.2. Koostöö tööstusega välisriikides

Väljaspool Eestit on meie uurimisgrupil töösidemed järgmiste firmadega: Ericsson AB, SAAB, ja DIGSIM DATA AB Rootsis, JTAG Technologies ja National Instruments Rootsis, Fraunhofer Institute of Integrated Circuits Saksamaal ja Insight Memex/Xilinx Prantsusmaal.

Firmad **Ericsson AB** ja **SAAB** Rootsis on väga huvitatud meie grupi uurimistulemustest ja nende kasutamisest toetava tarkvara välja töötamisel uute JTAG standardite (I-JTAG, S-JTAG) kasutuselevõtuks tööstuses. Nimetatud standardid on veel ametlikult kinnitamata ja isegi alles välja töötamisel, aga juba praegu loetakse neid perspektiivseteks ja firmad teevad ettevalmistustöid nende rakendamiseks uute toodete projekteerimisel ja valmistamisel. Firmade Ericsson AB ja SAAB huvi meie töötulemuste vastu kasvas järsult pärast ettekandeid mitmel konverentsil möödunud aastal (ETS'05, EBTW'05 jt.), samuti pärast tutvumist Boundari Scan appletti [25,28,37,67] tutvustavate ja kiipsüsteemide ning kiipvõrkude testimisega seotud publikatsioonidega [26,27,38,39]. Kaks ettekannet, mis käsitlesid Boundari Scan standardi emuleerimist, said auhinna **Best Paper Award** [28,67].

Käesoleval hetkel käivad läbirääkimised lepingute sõlmimiseks firmadega Ericsson AB ja SAAB peatselt jõusse minevate standardite I-JTAG, S-JTAG toetustarkvara loomiseks.

Koostöö firmaga **DIGSIM DATA AB** Rootsis on baseerunud vastastikkuses disaini ja testi tööriistade vahetuses. Nii kasutab praegu TTÜs juba aastaid ca 150 üliõpilast aastas firmas DIGSIM DATA AB välja töötatud projekteerimiskeskonda DIXIcad, nimetatud firma aga viib läbi konsultatsioone ja õppeseminarid Rootsi elektroonikatööstuses, kasutades meie uurimisgrupi poolt välja töötatud tarkvara Turbo-Tester. Arvestades DIXIcad litsentsi tegelikku maksumust, on selle koostöö tulemusena aastate jooksul kokku hoitud miljoneid kroone õppetöö läbiviimisel

TTÜs. Nimetatud koostööst profiteerub ka IT Kolledz, kus samuti aastas ca 30 tudengit kasutavad sama DIXIcad projekteerimiskeskonda.

Intensiivne koostöö on toimunud juba aastaid **Fraunhoferi Integraalskeemide Instituudiga** Saksamaal, mille tulemusena on välja töötatud internetipõhine digitaalsüsteemide testi uurimis- ja katsekeskkond. Selles koostöös adapteeriti TTÜ-s väljatöötatud digitaalsüsteemide testigeneraator DECIDER kasutamiseks tööstuskeskkonnas ja teda rakendati mitme tööstusliku toote testimisel. Nii näiteks õnnestus DECIDER'i abil tõsta märgatavalt testimise kvaliteeti Huffmanni dekodeeri puhul, kus esialgne testide kate 20% tõsteti 60%-le. DECIDER'i abil töötati välja lisaks konkreetseid ettepanekud süsteemi testitavuse parandamiseks, et testimise kvaliteeti veelgi tõsta.

DECIDER ja ka rida teisi TTÜ-s välja töötatud diagnostika tööriistu nagu näiteks Turbo Tester on integreeritud weebi-põhisesse keskkonda MOSCITO, mida kasutatakse Saksamaal veebipõhisel digitaalsüsteemide väljatöötamisel firmade-vahelise koostöö puhul.

Koostöö tulemusena Fraunhoferi Instituudiga on ilmunud kaks ühispublikatsiooni [51,70].

Koostöö Soome firmadega JTAG Technologies ja National Instruments on seisnenud vastastikkuses teabesiirdes. Üheltpoolt on nimetatud firmad Tallinnas läbi viinud seminare Eesti tööstuse inseneridele ja tehnika valdkonna üliõpilastele, teiselt poolt oleme meie osalenud nendel seminaridel omapoolsete loengutega. Firma JTAG Technologies on huvitunud meie Boundary Scan appleti kasutamisest oma koolitustegevuses, mis mitmes aspektis ületab firma enda poolt välja töötatud analoogilist õppekeskkonda. Teiselt poolt taas oleme ka ise oma appletti täiendanud firma JTAG Technologies mitme soovitusel kohaselt.

7. Tulemuste uudsus, tähtsus ning levitamine

Uurimuse teaduslik tähtsus seisneb uue kontseptsiooni, meetodite, algoritmide ja tarkvara välja-töötamises defekt-orienteeritud rikete simuleerimiseks ja testide genereerimiseks digitaalsüsteemidele.

Uute väljatöötatud diagnostikameetodite originaalsus ja uudsus seisneb kõigepealt ühtse teoreetilise baasi ja mudelite süsteemi väljaarendamises digitaalskeemide ja -süsteemide testide genereerimiseks, rikete ja disainivigade simuleerimiseks ning diagnostikaks. See on võimaldanud üldistada klassikalisi loogikatasemel töötavaid algoritme kõrgematele funktsionaalsetele tasanditele ning töötada välja efektiivsemaid hierarhilisi lahendusi ning -tarkvara. Uus universaalne rikkemudel on mehhanismiks madalama tasandi rikete mudeli kujutamiseks kõrgemale tasandile. Mudel andis võimaluse tõsta märgatavalt hierarhiliste diagnostikameetodite efektiivsust – nii kiirust kui ka täpsust. Välja töötatud meetodite suuremat efektiivsust tuntud meetoditega võrreldes on demonstreeritud eksperimentide abil, kasutades rahvusvaheliselt tunnustatud näidisobjekte ehk benchmark-skeeme.

Uute meetodite ja algoritmide baasil välja töötatud prototüüp-tööriistad ületavad rea näitajate poolest senikasutatavaid analoogseid tööriistu. Tuntud meetodid ja teadaolev digitaalsüsteemide diagnostikale orienteeritud kommertstarkvara põhineb klassikalisel ventiilskeemide konstantrikete mudelil, mis jääb ebaefektiivseks tänaste keerukate submikrontehnoloogial põhinevate digitaalsüsteemide testimisel. Uus defektidele orienteeritud meetod võimaldas oluliselt parandada digitaalskeemide rikkemudelit, mille tulemusena saab täpsemalt käsitleda reaalseid defekte.

Väga suurt tähtsust omab uudse defekt-orienteeritud testigeneraatori loomine, mille sarnane maailmas puudub. Generaatori tähtsaim omadus seisneb võimes tõestada defektide loogilist

liiasust (teiste sõnadega “mitteolulisust” süsteemi funktsioneerimise mõttes).

Meie teadustulemusi on hinnatud konverentsidel nelja “Best Paper Award” tunnustusega [28,62,67,71], on kutsutud esinema konverentsidel plenaarettekannetega [36,64] ning pidama loengutsükleid tervel real rahvusvahelistel konverentsidel, seminaridel ja tutorialidel. Aastatel 2003-2005 olen pidanud regulaarselt loenguid ja kursusi Jonköpingi Ülikoolis Rootsis ning Darmstadt Tehnikaülikoolis Saksamaal, aga samuti ka tesites ülikoolides Rootsis, Slovakkias, Poolas, Bulgaarias, Venemaal, Ukrainas ja mujal.

Märkimisväärseks rahvusvaheliseks tunnustuseks uurimisgrupile oli ka konkursi võitmine 7 riigi hulgas konverentsi “European Test Symposium” korraldamiseks möödunud aastal Tallinnas. Lisaks nimetatud ülemaailmsele üritusele korraldas uurimisgrupp eelmisel aastal Tallinnas teise ülemaailmse ürituse “European Board Test Workshop”. Uurimisgrupi initsiatiiviks oli ka uue rahvusvaheliste konverentside seeria „East-West Design and Test Workshop” initsieerimine. Oleme seda konverentsi aastatel 2003-2005 (EWDTW’03, IEEE EWDTW’04, IEEE EWDTW’05) juba kolm korda läbi viinud koostöös Harkovi Raadiotehnika Ülikooliga. Alates teisest väljalaskest kuulub konverents organisatsiooni IEEE sponsori alla, millega on üritusele antud ühtlasi kõrge rahvusvaheline tunnustus.

Laiahaardeline rahvusvaheline koostöö teadusuuringutes on võimaldanud laboril märgatavalt avardada oma amplituude, mille tulemusel tekkinud sünergism ja võtete ning meetodite ühitamine on aidanud suurendada labori teaduslikku produktiivsust ning potentsiaali.

Pidades silmas käesoleva uurimistöö tähtsust Eesti Vabariigile, tuleks mainida koostööd elektroonikatööstusega nii Eestis kui välismaal.

On toimunud murrang meie uurimisgrupi saavutatud teadustulemuste rakendamisel Eesti tööstuse hüvanguks: Eesti Tehnoloogiaagentuur ESTAG toetusel oleme asunud realiseerima kahte ühist arendusprojekti labori ja Eesti firma Artec Design Group’i vahel, mille eesmärgiks on välja töötada ning projekteerida ennat isetestiv kommunikatsiooniprotsessor (süsteem kiibil). Võimalus niisugust ambitsioonikat ülesannet püstitada ja lahendada tuleneb suuresti viimaste aastate jooksul laboris üles ehitatud diagnostikakeskkonnast. Uurimistöös saadud tulemused leiavad kasutamist USA turule jõudnud Eesti firmas Artec Design ja loodetavasti aitavad parandada tema konkurentsivõimet maailmaturul.

Uurimistöö oluliseks kõrvaltulemuseks on ka spin-off firma Testonica Lab loomine. Sõlmimisel on koostöölepingud Rootsi firmadega SAAB ja Ericsson AB, kus Eesti-poolseteks partneriteks on TTÜ ja Testonica Lab. Samas on ka Artec Design väga huvitatud koostöö jätkamisest TTÜ-ga ja koostöö alustamisest uue loodud firmaga Testonica Lab.

Käesolevas uuringus läbi viidud teadustöö hõlmab valdkonda, kus ekspertide teenused on kallid, ning kus infotehnika arengutendentse silmas pidades läheb eksperte vaja üha rohkem. Osta kasvavaid teenuseid välismaalt tähendaks suurt koormust Eesti majandusele, mistõttu rahvuslike ekspertide väljaõpe ja tasemel hoidmine konkurentsi-võimelise majanduse tagamisel on riigi seisukohalt äärmiselt oluline.

Töögrupi kompetentsus on rahvusvaheliselt tunnustatud, millest räägivad regulaarsed ettepanekud koostööks ja ühinemiseks europrojektidega. Nii näiteks lõppes edukalt europrojekti VERTIGO taotlemine VI Raamprogrammi all ja hetkel käivad Brüsseliga läbirääkimised projekti lepingu sõlmimiseks.

Rahvusvaheline tunnustus meie teadustööle peaks looma jätkuva võimaluse finantsressursside hankimiseks Euroopast, aidates nõnda kaasa modernse töökeskkonna olemasolule ülikoolis, mis on olulise tähtsusega üliõpilastele rahvusvahelise tasemega hariduse ja professionaalsete oskuste andmisel. Nimetatud aspekt rõhutab uurimistöö tähtsust Eestile ka kaugemat tulevikku silmas pidades – uute konkurentsivõimeliste elektroonikatööstuse arendusasutuste tekkimist Eestis

Realiseerunud näitena võib mainida uurimuses rea uudseid täiendusi saanud diagnostika-tarkvara Turbo-Tester, mis on kasutust leidnud rohkem kui 90-s ülikoolis ja uurimisasutuses ca 30 riigis üle maailma - USA-s, Kanadas, Rootsis, Soomes, Saksamaal, Inglismaal, Irimaal, Poolas, Slovakkias, Ukrainas Costa Ricas, Indias, Lõuna-Koreas, Omaanis ja mujal. Tuntumatest ettevõtetest on paketi omandanud Austrian Microsystems (AMS), mis on Euroopa juhtivaid ränitehnoloogia projekteerijaid. Uue VI Raamprogrammi raames peatselt käivituva europrojekti VERTIGO eesmärgiks on edasi arendada ja levitada Turbo-Testrit laiemalt Euroopa ülikoolides.

Uurimistöo raames välja töötatud tarkvara on võetud kasutusele ka TTÜ õppetöös täiendamaks juba olemasolevat õpitarkvara (laboratoorsete ja iseseisvate tööde teostamisel) kolme kursuse raames:

- Digitaalsüsteemide diagnostika,
- Digitaalsüsteemide disain ja test, ja
- Veakindlad süsteemid.

Tarkvara on ühildatud professionaalsete disainisüsteemidega SYNOPSIS ja CADENCE, ning teda kasutatakse nimetatud disainisüsteemidega projekteeritud skeemide diagnostiliseks analüüsiks. Aastas kasutab projekti raames välja töötatud tarkvara üle 100 üliõpilase.

Projekti raames saadud uusi teadustulemusi on juurutatud samuti nimetatud kursustesse aga ka loengutsüklitesse, mida on läbiviidud terve rea rahvusvaheliste konverentside, kursuste, seminaride või tutorialide raames.

Alljärgnevalt on toodud loetelu seminaridest ja kursustest, mis on uurimuse tulemuste levitamiseks teabesiirdena läbi viidud nii Tallinnas kui raja taga.

Uurimistöo tulemuste rahvusvaheline levitamine:

1. Tutorial “Defect-Oriented Testing of Digital Systems”, Lviv Polytechnic National University, Lviv, **Ukraina**, 17.02.2003.
2. Kursus “System Verification and Test” (36 t), International Master School at Jönköping University, **Rootsi**, 25.01. – 01.03.2003.
3. 3-päevane kursus “Digital Systems Testing and Design for Testability” Linköping University, **Rootsi**, 19.-21.03.2003.
4. Tutorial seeriast “Networks on Chips”, University of Technology Stockholm, **Rootsi**, 19.05.2003. Tutoriali lektoriteks olid äsja avaldatud raamatu “Networks on Chip” (edited by A.Jantsch, H.Tenhunen. Kluwer Academic Publishers 2003) autorid.
5. Tutorial “Boundary-Scan Seminar: Facing Challenges in Board Level Testing”, **Tallinna Tehnikaülikool**, 15.05.2003 (korraldatud Eesti tööstuse inseneridele ja Tehnikaülikooli doktorandidele).
6. 2-päevane tutorial “Design and Test of Digital Circuits”, **Tallinna Tehnikaülikool**, 20.-21.05.2003 (korraldatud Eesti tööstuse inseneridele ja Tehnikaülikooli doktorandidele).
7. Tutorial “Defect-Oriented Testing of Digital Systems”, Liberec Technical University, **Tshehhi Vabariik**, 02.06.2003.
8. Loengukursus “Design for Testability” (32 t), Microelectronics Summer School, TU Darmstadt, **Saksamaa**, 11.-30.08.2003.
9. Õppetreening “E-learning environment for digital test: Applets and PC-based tools”, Testing Tools Workshop, Bratislava, **Slovakkia**, 11.09.2003.
10. Tutorial “Defect-Oriented Test of Integrated Circuits and Systems”, 4th Electronic Circuits and Systems Conference, Bratislava, **Slovakkia**, 12.09.2003.

11. 1st East West Design & Test Workshop - EWD&TW'03, Alushta, **Ukraina**, 17.-21.09.2003.
12. Tutoorial "Advanced Methods for Defect-Oriented Testing of Digital Systems", EWD&TW'03, Alushta, **Ukraina**, 19.-20.09.2003.
13. Külalisloeng "Digital Test in Estonia" (*venia legendi*), Kharkov National University of Radioelectronics, **Ukraina**, 22.09.2003. Loeng esitati aruande autori Harkovi Rahvusliku Raadioelektroonika Ülikooli auprofessoriks valimisel.
14. Seminar "SoC Technologies for SMEs" (sponsor Nordisk Industrifond), TTU, **Tallinn** 13.10.2003.
15. Seminar koostöös firmaga JTAG Technologies, **Tallinn** 21.10.2003.
16. Tutoorial "Advanced Methods for Defects Testing", TU Sofia, **Bulgaaria**, 25.10.2003.
17. Kursus "System Verification and Test" (36 t), International Master School at Jönköping University, **Rootsi**, 19.01. – 04.03.2004.
18. Loengukursus (12 t) "Test Generation and Fault Simulation in Digital Systems", Kharkov National University of Radioelectronics, **Ukraina**, 06.-08.2004.
19. Tutoorial "Defect Oriented Test Generation" (4h), International conference DDECS'2004, Stara Lesna, **Slovakkia**, 18.04.2004.
20. Tutoorial "Additional Hardware for IC Testability Improvement" (4h), International Conference DDECS'2004, Stara Lesna, **Slovakkia**, 18.04.2004.
21. Tutoorial "Advanced Methods of Testing Electronics Systems" (6h), Technical University Sofia, **Bulgaaria**. 29.05.2004.
22. Tutoorial "Methods of Testing of Electronics Systems" (3h), International Conference MIXDES'2004, Szczecin, **Poola**. 25.05.2004.
23. Tutoorial "Advanced Methods of Digital and Analog Test" (6h), Technical University Tomsk, **Venemaa**. 06.09.2004.
24. Tutoorial "Advanced Methods of Digital and Analog Test" (6h), International Conference ICAM 2004, Irkutsk, **Venemaa**. 09.09.2004.
25. Tutoorial "Advanced Methods of Digital and Analog Test" (6h), Technical University Vladivostok, **Venemaa**. 13.09.2004.
26. Tutoorial "Hierarchical defect-oriented test generation." (2h), Summer School "System-on-Chip - SOC'04", Smolenice, **Slovakkia**. 21.09.2004.
27. Tutoorial "Hierarchical Test Approaches for Digital Systems" (6h), Autumn School "Advanced Methods for Systems-on-Chip for Ambient Intelligence", Sinaia, **Rumeenia**, 09.10.2004.
28. Loengukursus "Design for Testability" (32 t), Microelectronics Summer School, TU Darmstadt, **Saksamaa**, 11.-16.10.2004.
29. Tutoorial "Hierarchical Test Generation in Digital Systems" (1,5 h), International Conference DLESC 2004, Minsk, **Valgevene**, 12.11.2004.
30. Kursus "System Verification and Test" (36 t), International Master School at Jönköping University, **Rootsi**, 20.01. – 15.03.2005.
31. Tutorial "Why we need deterministic test pattern generation?" (2h), International Conference DDECS 2005, Sopron, **Ungari**, 13.04.2005.
32. Seminar "Research at the Computer Engineering Department of TTU" (2t), Linköping University, **Rootsi**, 30.04.2005.

33. Seminar “Research at the Computer Engineering Department of TTU” (2t), Darmstadt Technical University, **Saksamaa**, 06.06.2005.
34. Loengukursus “Design for Testability” (32 t), Microelectronics Summer School, TU Darmstadt, **Saksamaa**, 04.-10..10.2005.

8. Finantsaruanne

2003

Nimetus	Eelarve	Kulud	Seletus
Töötasu	240 000	240 000	
Töötasu abilistele	60 000	18 457 20 544 20 999 60 000	E. Orasson, 3 kuud (eksperimentide läbiviimine) E. Ivask, 3 kuud (tarkvara projekteerimine) A. Jutman, 3 kuud (eksperimentide läbiviimine)
Sotsiaalmaks, ravikindlustus	99 000	99 000	
Töötuskindlustus	1 500	1 500	
Välislahetused	89 500	11 259 6 008 5 067 12 391 6 324 13 000 6 725 28 599 89 373	DATE'03 konverents, München, 1- 4.03 Teadustöö Linköpingi Ülikoolis, 7-17.03 Teadustöö Stockholmi Kuninglikus Tehnikaülikoolis, 17-19.05 Euroopa assotsiatsiooni EAEEIE Nõukogu koosolek, Gdansk, 13-16.06 MIXDES konverents, Lodz, 25.-29.06. Teadustöö Ilmenau ja Darmstadti Tehnikaülikoolides, 13.-30.08 Teadustöö Linköpingi Ülikoolis, 14.-20.10 ATS'03 sümp. ja WRTL'T'03 workshop, Xi'an,16.-24.11
Muud kulud	10 000	10 092	7 raamatut ostetud (kokku: 645 eur)
Kokku	500 000	499 986	

2004

Nimetus	Eelarve	Kulud	Seletus
Töötasu	240 000	240 000	
Töötasu abilistele	60 000	18 000 25 000 17 000 60 000	E. Orasson, 3 kuu (tarkvara projekteerimine) E. Ivask, 3 kuud (tarkvara projekteerimine) A. Jutman, 2 kuud (eksperimentide läbiviimine)

Sotsiaalmaks, ravikindlustus	99 000	99 000	
Töötuskindlustus	1 500	1 500	
Välislähetused	89 500	17 048 6 233 15 831 11 796 22 410 17 597 90 915	Teadustöö Jönköpingi ja Linköpingi Ülikoolides, 10.02.-04.03 Europrojekti koosolek, Sevilla, Hispaania, 25.-28.03 WCETE World Congress, Santos, Brasiilia, 16.-20.03. IEEE European Test Symposium, Ajaccio, France, 21.-26.05 IASTED konverents, Kauai, USA 12.-19.08 Teadustöö Darmstadt Tehnikaülikoolis, 08.-16.10
Muud kulud	10 000	7 208 1 366 8 574	8 raamatut ostetud EUROMICRO assotsiatsiooni liikmemaks
Kokku	500 000	499 989	

2005

Nimetus	Eelarve	Kulud	Seletus
Töötasu	240 000	240 000	
Töötasu abilistele	60 000	16 500 22 600 20 900 60 000	E. Orasson, 3 kuud (tarkvara projekteerimine) E. Ivask, 3 kuud (tarkvara projekteerimine) M. Brik, 3 kuud (tarkvara projekteerimine)
Sotsiaalmaks, ravikindlustus	99 000	99 000	
Töötuskindlustus	1 500	1 500	
Välislähetused	89 500	11 100 12 025 7 687 10 361 13 780 7 473 1 703 20 201 84 144	Teadustöö Jönköpingi ja Linköpingi Ülikoolides, 19.01.-26.01 Euroopa Testi Sümpoosioni korralduskomitee koosolek, Montpellier, Prantsusmaa, 27.-30.01. CAS konverents, Sinaia, Rumeenia, 20.-24.02. Teadustöö Jönköpingi Ülikoolis, 01.03.-13.03. LATW konverents, Salvador, Brasiilia 24.-31.03 DDECS konverents, Sopron, Ungari, 12.-24.04. Teadustöö Linköpingi Ülikoolis, 28.-30.04. EUROMICRO konverents, Porto, Hisp. 30.08.-04.09.
Muud kulud	10 000	10 240 5 116 15 356	14 raamatut ostetud ACM ja IEEE liikmemaksud
Kokku	500 000	500 000	

9. Publikatsioonide loetelu (2003-2005)

Artiklid teadusajakirjades

Kat. 1.1.

1. J.Raik, T.Nõmmeots, R.Ubar. A New Testability Calculation Method to Guide RTL Test Generation. **Journal of Electronic Testing: Theory and Applications – JETTA**. Springer Science + Business Media, Inc. 21, pp.73-84, 2005.
2. J.Raik, R.Ubar, S.Devadze, A.Jutman. Efficient Single-Pattern Fault Simulation on Structurally Synthesized BDDs. **Lecture Notes in Computer Science**, Vol. 3463, Springer Verlag, Berlin, Heidelberg, New York 2005, pp. 332-344.
3. A.Matrosova, A.Pleshkov, R.Ubar. Construction of the Tests of Combinational Circuit Failures by Analyzing the Orthogonal Disjunctive Normal Forms Represented by the Alternative Graphs. *J. of Automation and Remote Control*. Publisher: Springer Science & Business Media B.V., 66 (2), 2005, pp. 313-327.
4. A.Matrosova, A.Pleshkov, R.Ubar. Test Generation for Combinational Circuits by Orthogonal Disjunctive Normal Forms and SSBDDs. *Avtomatika i Telemekhanika*, No. 2, 2005, pp. 158–174 (in Russian).
5. G.Jervan, Z.Peng, R.Ubar, T.Shchenova. A Hybrid BIST Energy Minimization Technique for SoC Testing. *IEE Proceedings on Computers & Digital Techniques*, 2005.
6. R.Ubar, P.Prinetto, J.Raik. 10th IEEE European Test Symposium. *IEEE Journal of Design & Test of Computers*, Sept.-Oct, 2005, pp.480-481.
7. V.Hahanov, R.Ubar. 2nd IEEE East West Design & Test Workshop. *IEEE Journal of Design & Test of Computers*, Nov.-Dec 2004, pp.594.
8. R.Ubar. Design Error Diagnosis with Resynthesis in Combinational Circuits. *Journal of Electronic Testing: Theory and Applications* 19, 73-82, 2003. Kluwer Academic Publishers.
9. V.Hahanov, R.Ubar. First East-West Design and Test Conference. *IEEE Journal of Design & Test of Computers*, Nov.-Dec 2003, pp.103.

Kat. 1.3.

10. R.Ubar. Diagnostic Modeling of Digital Systems with Decision Diagrams. *Proceedings of Tomsk State University*, No 9 (I), August 2004, pp.174-179.
11. V.Hahanov, R.Ubar. Design Technologies for System-on-Chip: Fault Simulation in Complex Digital Designs. *Proc. of Avtomatizirovannyje Sistemy Upravlenija i Pribory Avtomatiki*, No 122, 2003, pp.16-35 (in Russian).
12. J.Raik, R.Ubar. DECIDER: A System for Hierarchical Test Pattern Generation. *J. of Radioelectronics and Informatics*, No3 (24), July – September, 2003, pp. 40-45.
13. M.Aarna, E.Ivask, A.Jutman, E.Orasson, J.Raik, R.Ubar, V.Vislogubov, H.D.Wuttke. Turbo Tester – Diagnostic Package for Research and Training. *J. of Radioelectronics and Informatics*, No3 (24), July – September, 2003, pp. 69-73.

Raamatud

Kat. 2.2

14. O.Novak, E.Gramatova, R.Ubar a.o. Handbook of Electronic Testing. Czech TU Publishing House, Prague, 2005, 400 p.
15. R.Ubar. Digitaalsüsteemide diagnostika. I. Diagnostiline modelleerimine. Tallinn, TTÜ kirjastus, Tallinn, 2005, 148 lk.

Peatükid monograafiates:

Kat. 2.1.

16. G.Jervan, R.Ubar, Z.Peng, P.Eles. Chapter 5. Test Generation: A Hierarchical Approach. In “System-level Test and Validation of Hardware/Software Systems” by M.Sonza Reorda, Z.Peng, M.Violante. **Springer Series in Advanced Microelectronics**, Vol.17, 2005, pp. 63-77.
17. G.Jervan, R.Ubar, Z.Peng, P.Eles. Chapter 7. An Approach to System Level DFT. In “System-level Test

and Validation of Hardware/Software Systems” by M.Sonza Reorda, Z.Peng, M.Violante. Springer Series in Advanced Microelectronics, Vol.17, 2005, pp. 91-118.

18. R.Ubar, J.Raik. Chapter 6. Testing Strategies for Networks on Chip. In “Networks on Chip” by A.Jantsch, H.Tenhunen. Kluwer Academic Publishers, 2003, pp. 131-152.

Kat. 2.2.

19. E.Gramatova, M.Fisherova, R.Ubar, W.Pleskacz. Chapter 2. Defects, Faults and Fault Models. In “Handbook of Electronic Testing”. Czech TU Publishing House, Prague, 2005, pp. 26-98.
20. R.Ubar, E.Gramatova, M.Fisherova. Chapter 3. Test Generation Techniques and Algorithms. In “Handbook of Electronic Testing”. Czech TU Publishing House, Prague, 2005, pp. 100-174.
21. R.Ubar, E.Rüstern, M.Kruus. EE: Eesti (Estonia) in “Towards the Harmonization of Electrical and Information Engineering Education in Europe”, Lisboa-Nancy 2003, Ed. EAEEIE, 2003, pp.67-74.

Kogumikud

Kat. 3.1.

22. **R.Ubar, T.Shchenova, G.Jervan, Z.Peng. Energy Minimization for Hybrid BIST in a System-on-Chip Test Environment. IEEE Proceedings of the 10th IEEE European Test Symposium, May 22-25, 2005, Tallinn, pp.2-7.**
23. **J.Raik, R.Ubar, J.Sudbrock, W.Kuzmicz, W.Pleskacz. DOT: New Deterministic Defect-Oriented ATPG Tool. Proc. of 10th IEEE European Test Symposium, May 22-25, 2005, Tallinn, pp.96-101.**
24. Y.A.Skobtsov, D.E.Ivanov, V.Y.Skobtsov, R.Ubar, J.Raik. Evolutionary Approach to Test Generation for Functional BIST. Informal Digest of Papers of the 10th IEEE European Test Symposium, May 22-25, 2005, Tallinn, pp.151-155.
25. **A.Jutman, J.Raik, R.Ubar. An Educational Environment for Digital Testing: Hardware, Tools, and Web-based Runtime Platform. Proceedings of the 8th IEEE EUROMICRO conference on Digital Systems Design DSD2005. Porto, Aug.30 – Sept. 3, 2005, pp.412-419.**
26. A.Jutman, R.Ubar, J.Raik. Generic Interconnect BIST for Network-on-Chip. Proceedings of IEEE Design and Diagnostics of Electronic Circuits and Systems Workshop. Sopron, April 13-16, 2005, pp.224-227.
27. A.Jutman, R.Ubar, J.Raik. New Built-In Self-Test Scheme for SoC Interconnect. Proceedings of the 9th World Multi-Conference on Systemics, Cybernetics and Informatics. July 10-13, 2005, Orlando, Florida, USA, vol.4, pp.19-24.
28. A.Jutman, V.Rosin, A.Sudnitson, R.Ubar, H.-D.Wuttke A System for Teaching Basic and Advanced Topics of IEEE 1149.1 Boundary Scan Standard. Proceedings of EAEEIE, June 2005. **Best Paper Award.**
29. G.Jervan, Z.Peng, R.Ubar, O.Korelina. An Improved Estimation Technique for Hybrid BIST Test Set Generation. Proc. of IEEE Design and Diagnostics of Electronic Circuits and Systems - DDECS Workshop. Sopron, April 13-16, 2005, pp.182-185.
30. **J.Raik, P.Ellervee, V.Tihomirov, R.Ubar. Improved Fault Emulation for Synchronous Sequential Circuits. IEEE Proceedings of the 8th IEEE EUROMICRO conference on Digital Systems Design DSD2005. Porto, Aug.30 – Sept. 3, 2005, pp.72-78.**
31. J.Raik, R.Ubar, J.Sudbrock, W.Kuzmicz, W.Pleskacz. Deterministic Defect-Oriented Test Generation for Digital Circuits. IEEE Proceedings of the 6th Latin-American Test Workshop – LATW2005, March 30 – April 2, 2005, Salvador, Bahia, Brazil, pp.325-330.
32. **J.Sudbrock, J.Raik, R.Ubar, W.Kuzmicz, W.Pleskacz. Defect-Oriented Test- and Layout-Generation for Standard-Cell ASIC Designs. Proceedings of the 8th IEEE EUROMICRO conference on Digital Systems Design DSD2005. Porto, Aug.30 – Sept. 3, 2005, pp.79-82.**
33. O.Novak, E.Gramatova, R.Ubar. IST Project REASON – Handbook of Testing Electronic Systems. IEEE Proceedings of the 5th European Dependable Computing Conf. – EDCC-5, Budapest, April 20-22, 2005, pp.15-18.
34. **R.Ubar, E.Orasson, J.Raik, H.-D.Wuttke. Teaching Advanced Test Issues in Digital Electronics. Proceedings of the 6th IEEE International Conference on Information Technology Based Higher Education and Training - ITHET. July 7-9, 2005, Santo Domingo, pp. S2B-5 – S2B-10.**

35. R.Ubar, H.-D.Wuttke. Research and Training Environment for Digital Design and Test. Proc. of the 8th IASTED Int. Conf. on Computers and Advanced Technology in Education. Oranjestadt, Aruba, August 29-31, 2005, pp.232-237.
36. R.Ubar. Decision Diagrams and Digital Test. 41st International Conference on Microelectronics, Devices and Materials – MIDEM 2005, Ribno at Bled, Slovenia, Sept. 14.-16, 2005, pp.15-26. **Invited plenary paper.**
37. M.Balas, M.Fisherova, E.Gramatova, A.Jutman, Z.Kotasek, O.Novak, T.Pikula, J.Raik, J.Strnadel, R.Ubar, J.Zahradka. Testing Tools for Training and Education. Proceedings of the 12th International Conference Mixed Design of Integrated Circuits and Systems, Kraków, 22-25 June 2005, pp.671-676.
38. T.Bengtsson, A.Jutman, S.Kumar, R.Ubar. Delay Testing of Asynchronous NOC Interconnects. Proceedings of the 12th International Conference Mixed Design of Integrated Circuits and Systems, Kraków, 22-25 June 2005, pp.419-424.
39. T.Bengtsson, A.Jutman, R.Ubar, S.Kumar. A method for crosstalk fault detection in on-chip Buses. IEEE NORCHIP Conference, Oulu, Finland, Nov. 21-22, 2005.
- 40. R.Ubar, M.Jenihhin, G.Jervan, Z.Peng. Hybrid BIST Optimization for Core-Based Systems with Test Pattern Broadcasting. 2nd IEEE Int. Workshop on Electronic Design, Test and Applications – DELTA'04, Perth, Australia, 28-30 January 2004, pp.3-8.**
41. R.Ubar, H.-D.Wuttke. Research and Training Scenarios for Design and Test of SOC. Proc. of the World Congress on Engineering and technology Education. March 14-17, 2004, Guaruja/Santos, Brasil, pp.320-324.
42. R.Ubar, M.Jenihhin, G.Jervan, Z.Peng. An Iterative Approach to Test Time Minimization for Parallel Hybrid BIST Architecture. 5th IEEE Latin-American Test Workshop – LATW 2004. Digest of Papers, Cartagena, Colombia, March 8-10, 2004, pp.98-103.
43. A.Jutman, R.Ubar, H.-D.Wuttke. Overview of E-Learning Environment for Web-Based Study of Testing and Diagnostics of Digital Systems. 5th European Workshop on Microelectronics Education – EWME 2004, Lausanne, April 15-16, 2004, pp. 173-176
44. J.Raik, R.Ubar. Enhancing Hierarchical ATPG with a Functional Fault Model for Multiplexers. 7th IEEE Workshop on Design and Diagnostics of Electronic Circuits and Systems – DDECS 2004. Stara Lesna, Slovakia, April 18-21, 2004, pp. 219-222.
45. J.Raik, R.Ubar. Targeting Conditional Operations in Sequential Test Pattern Generation. 9th IEEE European Test Symposium, Ajaccio, Corsica, France, May 23-26, 2004, pp. 17-18.
46. A.Jutman, E.Gramatova, T.Pikula, R.Ubar. E-Learning Tools for Teaching Self-Test of Digital Electronics. 15 EAEEIE International Conf. on Innovation in Education for Electrical and Information Engineering, Sofia, Bulgaria, May 27-29, 2004, pp. 267-272.
47. A.Jutman, A.Sudnitsyn, R.Ubar, H.-D.Wuttke. E-Learning Environment in the Area of Digital Microelectronics. Proc. of the 5th Int. Conf. on Information Technology Based Higher Education and Training - ITHET 2004, Istanbul, Turkey, 31 May – 2 June 2004, pp.278-283.
48. R.Ubar, N.Mazurova, J.Smahtina, E.Orasson, J.Raik. HyFBIST: Hybrid Functional Built-In Self-Test in Microprogrammed Data-Paths of Digital Systems. Int. Conference MIXDES, Szczecin, June 24-26, 2004, pp.497-502.
49. J.Raik, E.Orasson, R.Ubar. Sequential Circuits BIST with Status BIT Control. Int. Conference MIXDES, Szczecin, June 24-26, 2004, pp.507-510.
50. R.Ubar, T.Vassiljeva, J.Raik, A.Jutman, M.Tombak, A.Peder. Optimization of Structurally Synthesized BDDs. The 4th IASTED International Conference on Modeling, Simulation and Optimization, Kauai, Hawaii, USA, August 17-19, 2004, pp.234-240.
51. E. Ivask, J. Raik, R. Ubar, A. Schneider. WEB-Based Environment: Remote Use of Digital Electronics Test Tools. In “Virtual Enterprises and Collaborative Networks”, Kluwer Academic Publishers, 2004, pp. 435-442.
52. R.Ubar, M.Aarna, M.Brik, J.Raik. High-Level Fault Modeling in Digital Systems. 49. Int. Conf. IWK, Ilmenau, Germany, September 27-30, 2004, pp.486-491.
53. E.Ivask, A.Jutman, E.Orasson, J.Raik, R.Ubar, H-D.Wuttke. Research Environment for Teaching Digital Test. 49. Int. Conf. IWK, Ilmenau, Germany, September 27-30, 2004, pp.468-473.
54. A.Jutman, A.Peder, J.Raik, M.Tombak, R.Ubar. Structurally Synthesized Binary Decision Diagrams. 6th International Workshop on Boolean Problems, Freiberg, Germany, Sept. 2004, pp.271-278.
55. R.Ubar, M.Aarna, H.Kruus, J.Raik. How to Generate High Quality Tests for Digital Systems. IEEE

- International Semiconductor Conference, CAS'2004, Sinaia, Romania, Oct. 4-6, 2004, pp.459-462.
56. Jutman, A.Sudnitsyn, R.Ubar, and H.-D.Wuttke, "Asynchronous E-Learning Resources for Hardware Design Issues", in Proc. International Conference on Computer Systems and Technologies (CompSysTech'2004), Sofia, Bulgaria, 2004, v. IV, pp. 11.1-11.6. (ISBN: 954-9641-38-4).
 57. **R.Ubar, H-D.Wuttke. Research and Training Environment for Digital Design and Test. 34th ASEE/IEEE Frontiers in Education Conference, October 20-23, 2004, Savannah, GA, pp.S3F-18 to S3F-24. IEEE Catalog Number: 04CH37579. ISBN: 0-7803-8552-7. Library of Congress: 79-640910. ISSN: 0190-5848.**
 58. P.Ellervee, J.Raik, V.Tihomirov, R.Ubar. FPGA Based Fault Emulation of Synchronous Sequential Circuits. Proc. of the 22nd IEEE Norchip Conference, Oslo, November 8-9, 2004, pp.59-62.
 59. G.Jervan, Z.Peng, R.Ubar, O.Korelina. An Improved Estimation Methodology for Hybrid BIST Cost Calculation. Proc. of the 22nd IEEE Norchip Conference, Oslo, November 8-9, 2004, pp.297-300.
 60. J.Raik, V.Govind, R.Ubar. RT-Level Test Point Insertion for Sequential Circuits. Proc. of the IEEE 1st International Workshop on Testability Assessment – IWOTA-2004, Rennes, Nov.2, 2004, pp.34-40. IEEE Catalog Number 04EX983, ISBN 0-7803-8851-8.
 61. A.Jutman, R.Ubar, H.-D.Wuttke. Overview of E-Learning Environment for Web-Based Study of Testing and Diagnostics of Digital Systems. In “Microelectronics Education” Kluwer Academic Publishers, 2004, pp.253-258.
 62. J.Raik, T.Nõmmeots, R.Ubar. New Method of Testability Calculation to Guide RT-Level Test Generation. Proc. of 4th IEEE Latin-American Test Workshop – LATW2003, Natal, Brazil, February 16-19, 2003, pp.46-51 (**Best Paper Award**).
 63. R.Ubar, E.Orasson. E-Learning tool and Exercises for Teaching Digital Test. Proc. of 2nd IEEE Conf. on Signals, Systems, Decision and Information Technology. Sousse, Tunisia, March 26-28, 2003, CIT-6, pp.1-6.
 64. R.Ubar. Decision Diagrams and Digital Test. Proc. of the 6th International Workshop on Electronics, Control, Measurement and Signals, Liberec, Czechia, June 2-4, 2003, pp.266-273 (**Invited plenary paper**).
 65. Jutman, A. Sudnitsyn, R. Ubar. Web-Based Training System for Teaching Principles of Boundary Scan Technique. EAEEIE, Poland, 2003.
 66. R.Ubar, J.Raik, B.Klüver. Algorithms for hierarchical fault simulation in digital systems. Proc. of the 10th Int. Conf. MIXDES 2003, Lodz, June 26-28, 2003, pp.530-535.
 67. A.Jutman, A.Sudnitsyn, R.Ubar. Web-Based Applet for Teaching Boundary Scan standard IEEE 1149.1. Proc. of the 10th Int. Conf. MIXDES 2003, Lodz, June 26-28, 2003, pp.584-589 (**Best Paper Award**).
 68. R.Ubar. E-Learning Tools for the Field of Electronics Design and Test. Proc. of the 4th Int. Conf. On Information Technology Based Higher Education and Training. Marrakech, Morocco, July 7-9, 2003, pp.285-290.
 69. A.Jutman, A.Sudnitsyn, R.Ubar, D.Wuttke. Java Applets Support for an Asynchronous-Mode Learning of Digital Design and Test. Proc. of the 4th Int. Conf. On Information Technology Based Higher Education and Training. Marrakech, Morocco, July 7-9, 2003, pp.397-401.
 70. A.Schneider, K.-H.Diener, G.Elst, R.Ubar, E.Ivask, J.Raik. Integration of Digital Test Tools to the Internet-Based Environment MOSCITO. Proc. of 7th World Multiconference on Systemics, Cybernetics and Informatics – SCI 2003. Orlando, USA, July 27-30, 2003, pp.136-141.
 71. R.Ubar. Mapping Faults in Hierarchical testing of Digital Systems. Proc. of the Int. Conf. On Computer, Communication and Control technologies – CCCT'03. Orlando, USA, July 31 – August 2, 2003, pp.14-19 (**Best Paper Award**).
 72. **V.Hahanov, R.Ubar, S.Hyduke. Back-Traced Deductive-Parallel Fault Simulation for Digital Systems. Proc. of IEEE EUROMICRO Symposium on Digital System Design - DSD'2003. Belek-Antalaya, Turkey, September 3-5, 2003, pp. 370-377.**
 73. **G.Jervan, P.Eles, Z.Peng, R.Ubar, M.Jenihhin. Hybrid BIST Time Minimization for Core-Based Systems with STUMPS Architecture. 18th Int. Symposium on Defect and Fault Tolerance in VLSI Systems. Cambridge, MA, USA, November 3-5, 2003.**
 74. **G.Jervan, P.Eles, Z.Peng, R.Ubar, M.Jenihhin. Test Time Minimization for Hybrid BIST of Core-Based Systems. Asian Test Symposium 2003, Xi'an, China, November 17-19, 2003, pp. 318-323.**
 75. R.Ubar, M.Jenihhin, G.Jervan, Z.Peng. Test Time Minimization for Hybrid BIST with Test Pattern

Broadcasting. 21st IEEE Conference NORCHIP'2003, Riga, Latvia, November 10-11, 2003, pp.112-116.

76. J.Raik, R.Raidma, R.Ubar. Explorations in Low Area Overhead DFT Techniques for Sequential BIST. 21st IEEE Conference NORCHIP'2003, Riga, Latvia, November 10-11, 2003, pp.220-223.
77. Jutman, A. Sudnitson, and R. Ubar, "Digital Design Learning System Based on Java Applets", in Proc. 4th Annual Conference of the LTSN Centre for Information and Computer Sciences, NUI Galway, Ireland, 2003, pp.183-187 (ISBN: 0-9541927-4-5).

Kat. 3.3.

78. M.Brik, E.Fomina, R.Ubar. A Proposal for Optimization of Low-Powered FSM Testing. 3rd East-West Design & Test Workshop EWDTW-2005, Odessa, Sept. 15-18, 2005, pp.15-20.
79. R.Ubar, M.Jenihhin, G.Jervan, Z.Peng. An Iterative Approach to Test Time Minimization for Parallel Hybrid BIST Architectures. System-on-Chip Conference 2004, Båstad, Sweden, April 13-14, 2004.
80. J.Raik, P.Ellervee, V.Tihhomirov, R.Ubar. Fast Fault Emulation for Synchronous Sequential Circuits. 2nd East-West Design & Test Workshop EWDTW-2004, Alushta 23-26, 2004, pp.35-40.
81. M.Brik, J.Raik, R.Ubar, E.Ivask. GA-based Test Generation for Sequential Circuits. 2nd East-West Design & Test Workshop EWDTW-2004, Alushta 23-26, 2004, pp.30-34.
82. N.Mazurova, J.Smahtina, R.Ubar. Hybrid Functional BIST for Digital Systems. Proc. of the 9th Biennial Baltic Electronics Conference, Oct. 3-6, 2004, Tallinn, pp.205-208.
83. J.Raik, A.Krivenko, R.Ubar. Comparative Analysis of Sequential Circuit Test Generation Approaches. Proc. of the 9th Biennial Baltic Electronics Conference, Oct. 3-6, 2004, Tallinn, pp.225-228.
84. Y.A.Skobtsov, D.E.Ivanov, V.Y.Skobtsov, R.Ubar. Evolutionary approach to the functional test generation for digital circuits. Proc. of the 9th Biennial Baltic Electronics Conference, Oct. 3-6, 2004, Tallinn, pp.229-232.
85. M.Brik, E.Ivask, J.Raik, R.Ubar. On Using Genetic Algorithm for Test Generation. Proc. of the 9th Biennial Baltic Electronics Conference, Oct. 3-6, 2004, Tallinn, pp.233-236.
86. V.Vislogubov, A.Jutman, H.Kruus, E.Orasson, J.Raik, R.Ubar. Diagnostic Software with WEB Interface for Teaching Purposes. Proc. of the 9th Biennial Baltic Electronics Conference, Oct. 3-6, 2004, Tallinn, pp.255-258.
87. H.Kruus, E.Orasson, T.Robal, R.Ubar. Investigating Defects in Digital Circuits by Boolean Differential Equations. The 4th International Conference "Distance Learning – Educational Sphere of XXI Century" (DLESC'04), Minsk, November 10-13, 2004, pp.432-435.
88. R.Ubar, M.Aarna, M.Brik, T.Evartson, J.Raik. High Level Fault Models for Digital Systems. The 4th International Conference "Distance Learning – Educational Sphere of XXI Century" (DLESC'04), Minsk, November 10-13, 2004.
89. R.Ubar. Mapping Physical Defects to Logic Level for Defect Oriented Testing. Proc. Of International Symposium on Signals, Circuits and Systems – SCS 2003, Vol. 2, Iasi, Romania, July 10-11, 2003, pp.453-456.
90. E.Gramatova, M.Hristov, W.Kuzmicz, V.Lantsov, M.Lobur, V.Nelayev, V.Stepanets, R.Ubar, H.-D.Wuttke. Results of International Cooperation for Development and Exchange of Web-Based Educational Materials. In "Distance Learning – Educational Environment of the XXI Century", Minsk, 2003, pp. 17-23.
91. S.Devadze, R.Gorjachev, A.Jutman, E.Orasson, V.Rosin, R.Ubar. E-Learning Tools for Digital Test. In "Distance Learning – Educational Environment of the XXI Century", Minsk, 2003, pp. 336-342.

Toimetatud kogumikud

Kat. 5.1.

92. R.Ubar, P.Prinetto, M.Renovell, P.Muhmentaler, Ch.Landrault. 10th IEEE European Test Symposium. Proceedings. Tallinn, Estonia, May 22-25, 2005, 230 p.
93. R.Ubar, P.Prinetto, M.Renovell, P.Muhmentaler, Ch.Landrault. 10th IEEE European Test Symposium. Informal Digest of Papers. Tallinn, Estonia, May 22-25, 2005, 286 p.

Avaldamiseks vastu võetud publikatsioonid:

94. A.Jutman, R.Ubar et al. DefSim: Measurement Environment for CMOS Defects. IEEE Conference MIEL'2006, Nis, Serbia, May 14-15, 2006.
95. W.A.Pleskacz, T.Borejko, A.Walkanis, V.Stopjakova, A.Jutman, R.Ubar. DefSim: CMOS Defects on Chip for

Research and Education. IEEE Conference LATW'2006, Buenos Aires, Argentina, March 26-28, 2006.

96. S.Devadze, J.Raik, A.Jutman, R.Ubar. Fault Simulation with Parallel Critical Path Tracing for Combinational Circuits Using Structurally Synthesized BDDs. IEEE Conference LATW'2006, Buenos Aires, Argentina, March 26-28, 2006.
97. R.Ubar, A.Jutman, M.Kruus, H.-D.Wuttke. Applets for Learning Digital Design and Test. 1st Int. Conf. on Interactive Mobile and Computer Aided Learning - IMCL2006, Amman, Jordan, April 19-21, 2006.
98. A.Jutman, W.Pleskacz, T.Borejko, A.Walkanis, V.Stopjakova, R.Ubar. CMOS Defects Analysis using DefSim Measurement Environment. Informal Digest of Papers of the 11th IEEE European Test Symposium, Southampton, UK, May 22-25, 2006.

Tumeda shriftiga on eraldatud publikatsioonid, milliste tekstid on lisas.

Loetletud 98 publikatsioonist olen kirjutanud üksinda 7 artiklit [8,10,36,64,68,71,89] ja kahe raamatu [14,15], 47 publikatsiooni on ühisartiklid rohkem kui 30 välisteadlasega 14 riigist (s.h. USA, Saksamaa, Prantsusmaa, Itaalia, Rootsi, Taani, India jt.), ülejäänud artiklid olen kirjutanud koostöös oma õpilastega.

10. Uurimistöö jätkumisest

Kahes esimeses aastaaruandes oli kohustuslik peatükk töökava planeerimise kohta järgmiseks aastaks. Käesoleva lõpparuande puhul sellist töökava planeerimist projekti lõppemise tõttu pole ette nähtud. Sellest hoolimata visandan alljärgnevalt oma üldise tegevusplaani selle kohta, millistena näen homseid tegutsemisliine laboris. Seda tegevusplaani käsitlen kui ühte globaalset tulemust, mille "produktseerisid" uurija-professorina teadusele pühendatud aastad.

Kahtlemata jätkub töö digitaalsüsteemide mudelite formaalse kirjeldamise, omaduste uurimise, automaatse sünteesi ja rakenduste alal. Põhilisteks rakendusteks on testide hierarhiline süntees ja analüüs. Mudel on osutunud efektiivseks uute paremate rakendusalgortimide loomisel ja seni veel kasutamata võimalused tuleb ära proovida. Oleme pioneerid selles valdkonnas ja saavutatud "edumaa" tuleb realiseerida.

Uuteks lahendamisel olevateks probleemideks testide hierarhilise sünteesi ja analüüsi alal on rikete paralleelne reversiivanalüüs, hierarhiline üheaegne (concurrent) rikete simuleerimine, hierarhiline ja defekt-orienteeritud testide genereerimine, testitavuse analüüs jne.

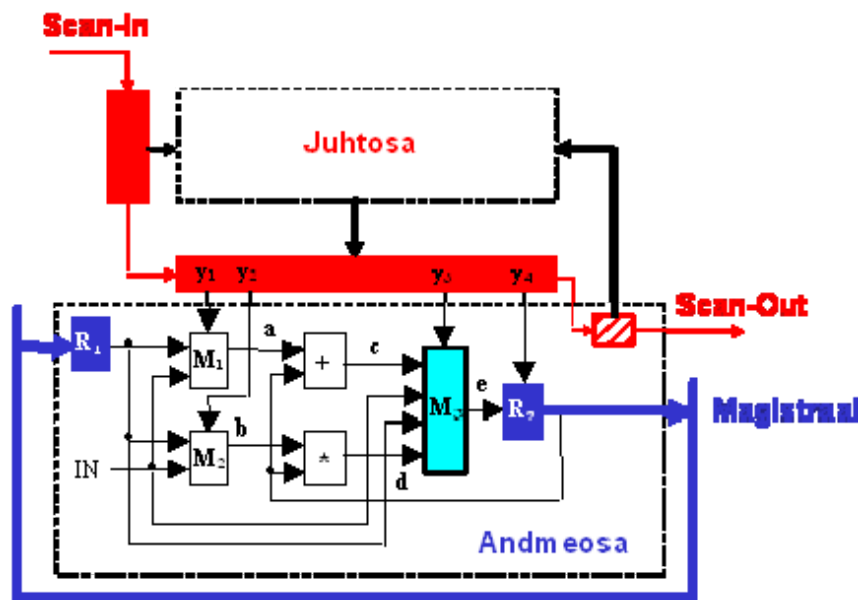
On aga veel neli uut suurt ja põnevat valdkonda, kus leiame endale loodetavasti kasuliku ja tänuväärse rakenduse:

- o keeruliste digitaalsüsteemide testide automaatne süntees globaalsete tagasisidede dünaamilise juhtimise abil (eelmisel aastal loodud kontseptsioon),
- o rekonfigureeritaval loogikal põhinevate riistvarakiirendite loomine traditsiooniliselt tarkvaras realiseeritud algortimide jaoks,
- o digitaalsüsteemide isetestimine,
- o kiipsüsteemide ja -võrkude testimine.

Keeruliste digitaalsüsteemide testide sünteesi uue kontseptsiooni aluseks sai idee globaalsete tagasisidede dünaamilisest juhtimisest. Osutus, et äärmiselt tühine skeemi täiendamine testitavuse parandamiseks võimaldab märgatavalt lihtsustada testide sünteesi, muutes seni üldjuhul lahendamata järjestikskeemide testide genereerimise ülesande ka üldjuhul lahendatavaks.

Tööstuslikult üldiselt aktsepteeritud lahenduseks on tagasisidede katkestamise nn. "*scan-path*" paradigma, vaatamata selle paljudele puudustele. Meetod näeb ette süsteemi spetsiaalset rekonfigureerimist testrezhiimi ajaks ehk täpsemalt, süsteemi kõigi mäluelementide ühendamist

ühiks või paljudeks skaneeritavateks nihkeregistriteks, mis teeb testitava objekti transparentseks, võimaldades kõikide mälulementide otsest juhtimist ja jälgimist. Lisaks testimise aeglusele, suurtele rekonfigureerimist võimaldava riistvara kuludele langeb ka testimise kvaliteet, kuna *scan*-ahel ei võimalda testida süsteemseid funktsioone. Tüüpiline juht- ja andmetöötlusosast koosnev globaalsete tagasisidedega digitaalsüsteem on esitatud joonisel 4. Kõik andmeosa registrid ja juht- ning andmeosa vaheline globaalsete tagasisidest "katki lõikav" puhverregister on *de facto* standardi järgi ühendatud ühtsesse rekonfigureeritavasse *scan*-ahelasse.



Joonis 27. Tüüpiline globaalsete sügavate tagasisidedega digitaalsüsteem

On olemas meetodeid, mis ei nõua andmeosa registreid kaasahaaramist *scan*-ahelasse. Kahjuks ei ole niisugused meetodid tööstusesse jõudnud, kuna pole suudetud luua vastavaid tööstuses aktsepteeritud testigeneraatoreid.

Meie uus idee läheb aga veelgi kaugemale, nõudes vaid andmeosast juhtosasse minevate tagasiside ahelate katkestamist (viirutatud osa *scan*-ahelast), mis moodustab harilikult väga tühise osa juht- ja andmeosa vahelistest ühendustest.

Uus idee rajaneb kolmel tegevusel (etapil):

- leida minimaalne ja efektiivne globaalsete tagasisidest katkestuspunktide arv ja kohad (optimeerimisülesanne),
- leida katkestuspunktide optimaalne juhtimisstrateegia (uut tüüpi "kokkupakitud" kõrgtaseme vektorotsustusdiagrammidel lahendatav testide sünteesi ülesanne);
- leida vajalik minimaalne lisatestpunktide arv ja kohad rikete katte tõstmiseks 100%-le.

Esimesed kaks etappi kujutavad endast iseseisvaid uusi uurimisprobleeme, kolmandas etapis saab kasutada olemasolevaid lahendusi, kuid võib osutuda, et uued spetsiifilised lahendusmeetodid osutuvad efektiivsemateks.

Probleemi juurde kuulub ka testigeneraatori loomine. See saab olema modifikatsioon praegusest laboris olevast hierarhisest testigeneraatorist DECIDER. On alust arvata, et terviklik lahendus leiaks kiiresti heakskiitu tööstuse poolt, kuna lahendaks ära mitte ainult testimise probleemi, vaid ka süsteemi häälestamise ja vigade otsimise (*debugging*) probleemi.

Uue idee eeliseks *scan-path* paradigma kõrval on nii testimise kvaliteedi kui ka maksumuse märgatav vähenemine.

Riistvarakiirendite loomine on laboris hiljuti käivitatud uus uurimisteema. Korduvprogrammeeritava (rekonfigureeritava) loogika kasutamine digitaalsüsteemide testide genereerimisel ja rikete analüüsil aparatuurse kiirendina pakub uusi võimalusi eriti töömahukate diagnostikaülesannete lahendamiseks. Seniste eksperimentide baasil on võimalik ennustada, et seni tarkvarana realiseeritud algoritmide töökiirus on võimalik tõsta vähemalt kuni tuhat korda. Seni oleme suutnud produktiivsust tõsta kaks suurusjärku. Alustatud pilootprojekti laienemine uute töömahukate algoritmide valdkonda (mitmesugused kombinatoorsed optimeerimisülesanded) on samuti väga huvipakkuv.

Pealegi on korduvprogrammeeritava loogika kasutamine aparatuurse baasina eriti perspektiivne nišš Eestile, kus kõrgtehnoloogiline mikroelektronikatööstus puudub.

Isetestivate süsteemide uurimise temaatika on juba mitme viimase aasta jooksul toimunud koostöös Linköpingi Ülikooli teadlastega. Hetkel on käsil uuringud seniste tulemuste edasiarendamiseks rangemate kitsenduste juures. Probleemide hulka võib siin vaadelda mitmedimensionaalsena, kus koordinaatideks on erinevad isetestimise arhitektuurid, hulk erinevaid disaini kriteeriume nagu kvaliteet, testi pikkus, testimise aeg, mälu maksumus, tippvõimsuse- ja energiatarve, aparatuurikulu jne.

Kirjeldamaks potentsiaalset uurimisvaldkonda võimalikult üldiselt, oleme seadnud ülesandeks optimeerida erinevaid **hübriid-isetestimise** arhitektuure erinevate kriteeriumide järgi erinevate kitsenduste juures, vastavalt sellele millised rakenduseesmärgid on olulisemad projekteeritava süsteemi juures: odavus, mobiilsus (madal energiakulu), töökindlus, töökiirus jne. Formuleeritud ülesanded selles mitmedimensionaalses ruumis on täielikult uued, kuna hübriid-isetestimise probleemiasetus ise on uus. Üldine teooria siin puudub.

Tänu valminud unikaalse defekt-orienteeritud testigeneraatorile saame süsteemide isetestimise kvaliteedi hindamise uue dimensiooni juurde tuua – mõõta kvaliteeti reaalsete defektide avastamise seisukohast, mida seni pole suudetud teha.

Isetestimise meetodite uurimisel oleme viimase aasta tulemuste põhjal jõudnud järeldusele, et uusi atraktiivseid võimalusi pakub **funktsionaalse isetestimise** valdkond, mida on vähe uuritud. Oleme jõudnud probleemipüstituse juurde, mille uudsus seisneb kahe disainiparadigma kombineerimises:

- objekti enda ressursside lülitamine isetestimisahelasse (nn. funktsionaalne isetestimine) ja
- isetestimise kvaliteedi tõstmisele suunatud süsteemi struktuuri testitavuse parandamine.

Põhieesmärgiks on siin võimalikult minimaalse aparatuuri maksumuse tõusu juures parandada süsteemi isetestimise kvaliteeti ja võimalusi.

Funktsionaalse isetestimise **kombineerimine** hübriid-testimise põhimõttega töötab kujuneda efektiivseks kontseptsiooniks, mida seni üldse pole uuritud. Kumbki testimise põhimõtte eraldi koos oma oodatavate konkreetsete panustega moodustab tugeva baasi saavutamaks kombineerimisel uut **sünergeetilist** efekti.

11. Kokkuvõtteks

Olen väga tänulik mulle osutatud võimaluse eest pühenduda kolmeks aastaks jäägitult teadusele, mille olen enda teada parimal viisil ära kasutanud. Olen seejuures tänulik ka oma kolleegidele, kes mind selle juures pidevalt toetasid ning ühises uurimistöös osalesid.

Väga oluliseks tulemuseks loen tugeva ja rahvusvaheliselt väga tunnustatud uurijate grupi tekkimist meie laboris (hiljuti doktorikraadi kaitsnud Jaan Raik, Artur Jutman, Gert Jervan, aga

ka mitmed teised väga tugevad uurijad ja praegused doktorandid nagu Sergei Devadze, Maksim Jenihhin jt).

On tore, et uurija-professori perioodi lõppedes saan konstateerida, et põhiliseks uurimistulemuseks ei tuleks lugeda mitte kolme aasta vältel avaldatud publikatsioone (need on “lõpetatud tegevused”), vaid uut uurimisprobleemide portfelli, millel pooleldi ka lahendusideed juba olemas, ja mis annab tegutsemiseks perspektiivi järgneval paaril aastal²⁵.

Akad. Raimund Ubar

TA uurija-professor 2003-2005

26.02.2006.

²⁵ Teadusfolkloor: mitte probleemide lahendamine pole probleem, vaid probleemide püstitamine on probleem.